

prof. dr hab. inż. Andrzej Kos

**Tel. 34.35, email: kos@uci.agh.edu.pl
Pawilon C3, pokój 505**

PROJEKTOWANIE UKŁADÓW VLSI

Forma zaliczenia: egzamin

PRODUCT INFORMATION

The LCI-SMARTpen™ is a fully functioning advanced wireless computer system, miniaturized so it fits and performs like a pen. Its biometric recognition of the way in which an individual writes, makes it the world's first wireless signature authentication device. From the Internet to security, LCI-SMARTpen™ will forever change electronic commerce.

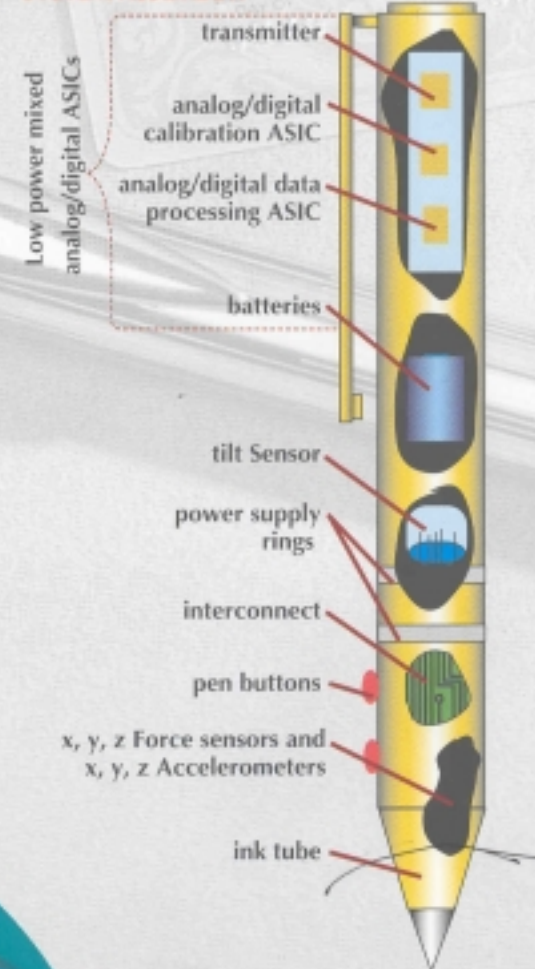
TECHNOLOGY INTEGRATION:

- Integrated Microsystem
- mechanical
- mixed analog/digital devices
- embedded control & data processing
- molded interconnect devices
- low power (battery powered)
- ASIC design and MCM implementation
- Integrated Manufacturing Processes

INTEGRATED MICRO SYSTEMS:



SYSTEM ASSEMBLY:

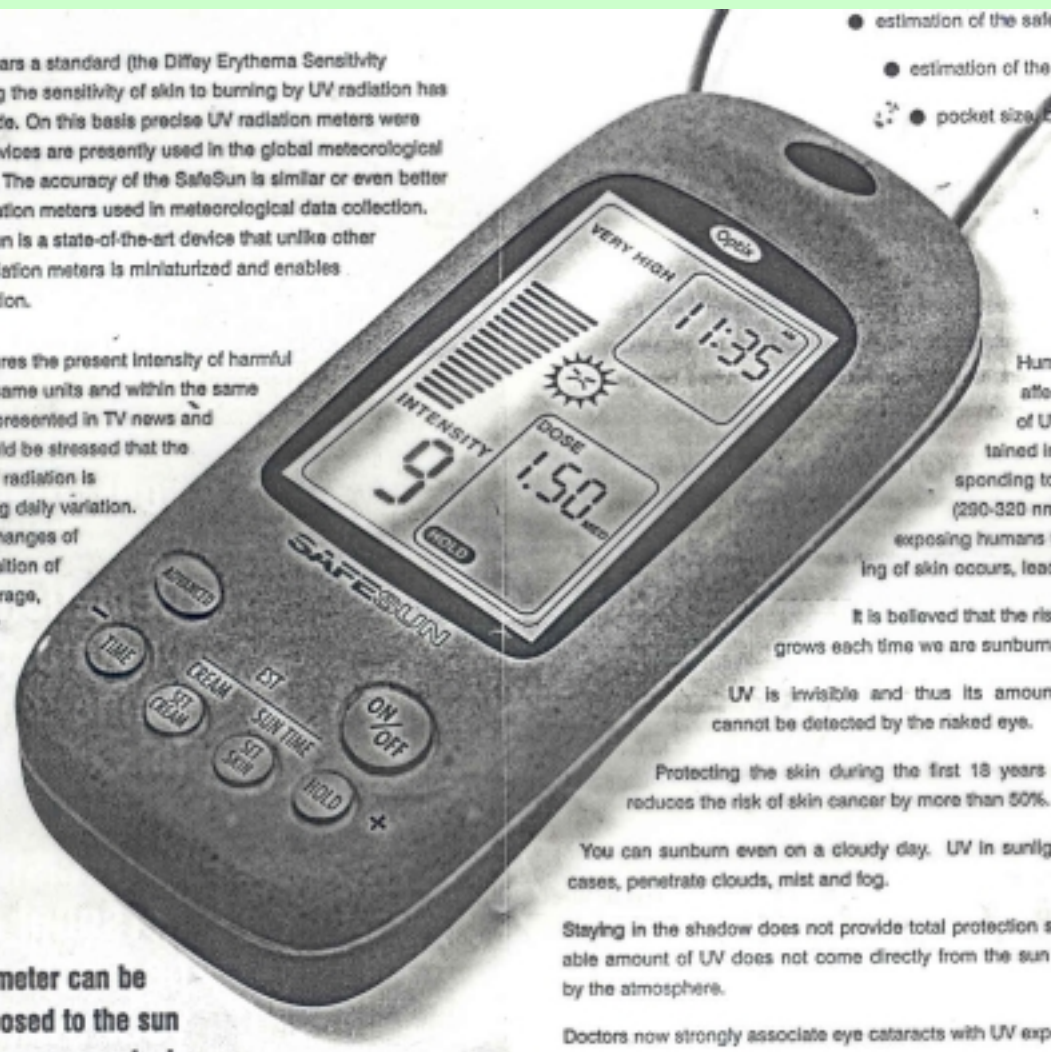


LCI SMARTpen

ears a standard (the Diffey Erythema Sensitivity
 ng the sensitivity of skin to burning by UV radiation has
 ide. On this basis precise UV radiation meters were
 evice are presently used in the global meteorological
 . The accuracy of the SafeSun is similar or even better
 ation meters used in meteorological data collection.
 un is a state-of-the-art device that unlike other
 station meters is miniaturized and enables
 station.

ures the present intensity of harmful
 same units and within the same
 presented in TV news and
 ould be stressed that the
 / radiation is
 ng daily variation.
 changes of
 sition of
 erage,
 ir

meter can be
 posed to the sun



- estimation of the safe
- estimation of the n
- pocket size, ba

Human
 affect
 of UV
 tained in
 sponding to
 (290-320 nm)
 exposing humans to
 ing of skin occurs, lead

It is believed that the risk
 grows each time we are sunburnt.

UV is invisible and thus its amount
 cannot be detected by the naked eye.

Protecting the skin during the first 18 years o
 reduces the risk of skin cancer by more than 50%.

You can sunburn even on a cloudy day. UV in sunligh
 cases, penetrate clouds, mist and fog.

Staying in the shadow does not provide total protection sin
 able amount of UV does not come directly from the sun b
 by the atmosphere.

Doctors now strongly associate eye cataracts with UV expo

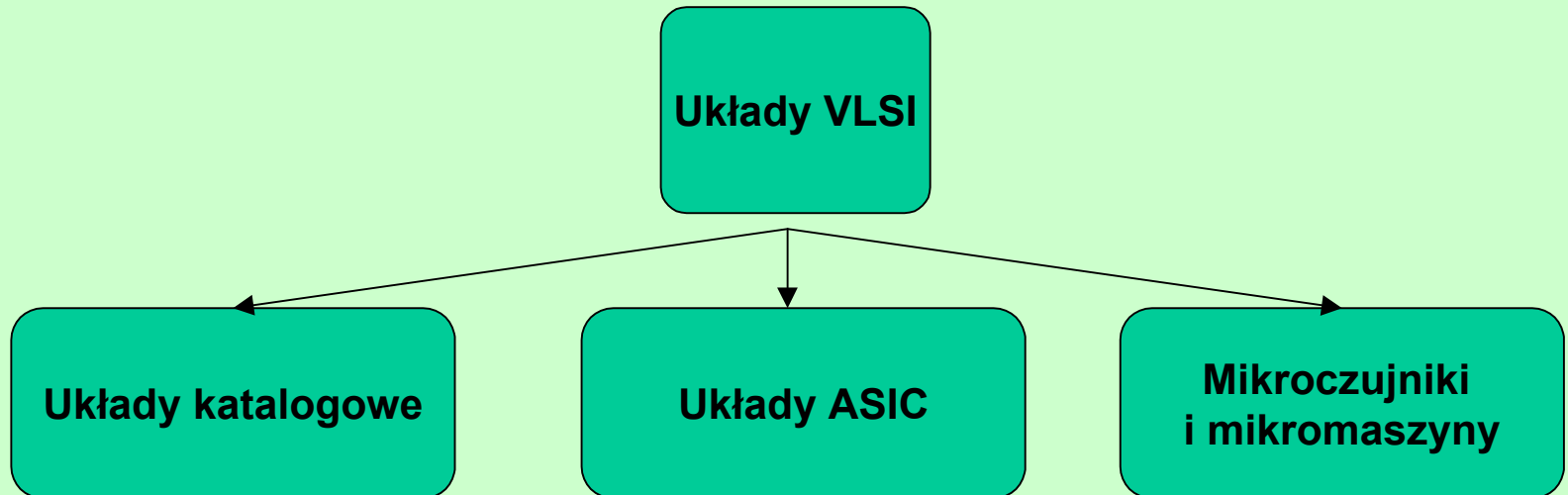
Układy VLSI wczoraj i dzisiaj

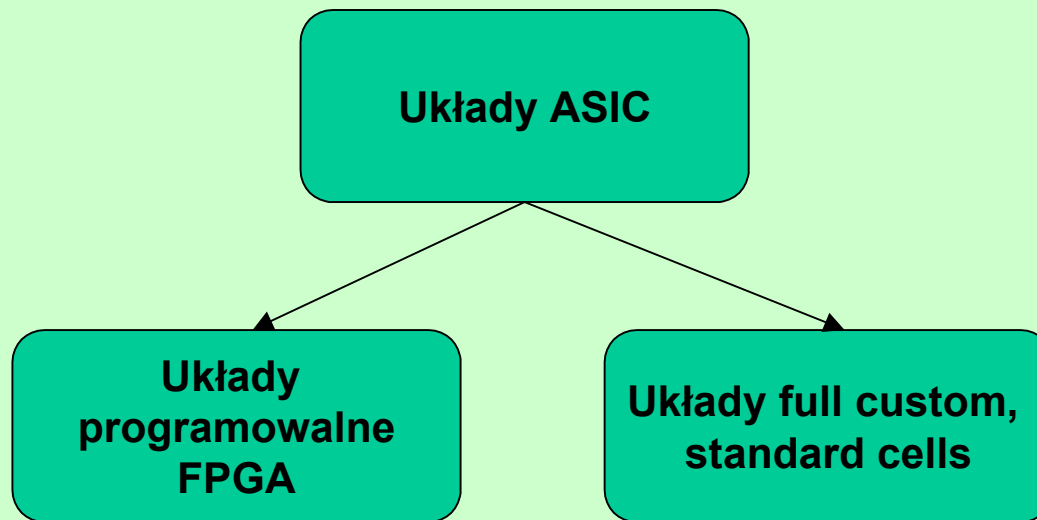


Pierwszy układ scalony - JACK KILBY, Texas Instruments, 1959r. Tranzystory widoczne gołym okiem.



Układy zawierają 1000 000 000 tranzystorów w jednym module scalonym, a wymiar tranzystora jest mniejszy od długości fali promieniowania widzialnego.





Rodzaje układów ASIC i ich zastosowania - bardziej detalicznie

- Układy projektowane w stylu „full custom”
- Układy z komórek standardowych
- układy matrycowe
- Układy programowane przez użytkownika
- Zalety, wady i zakres zastosowań

Układy projektowane indywidualnie - „full custom”

- Największa uniwersalność
- Najlepsze wykorzystanie powierzchni
- Najniższy koszt w produkcji wielkoseryjnej
- Bardzo pracołłonne projektowanie

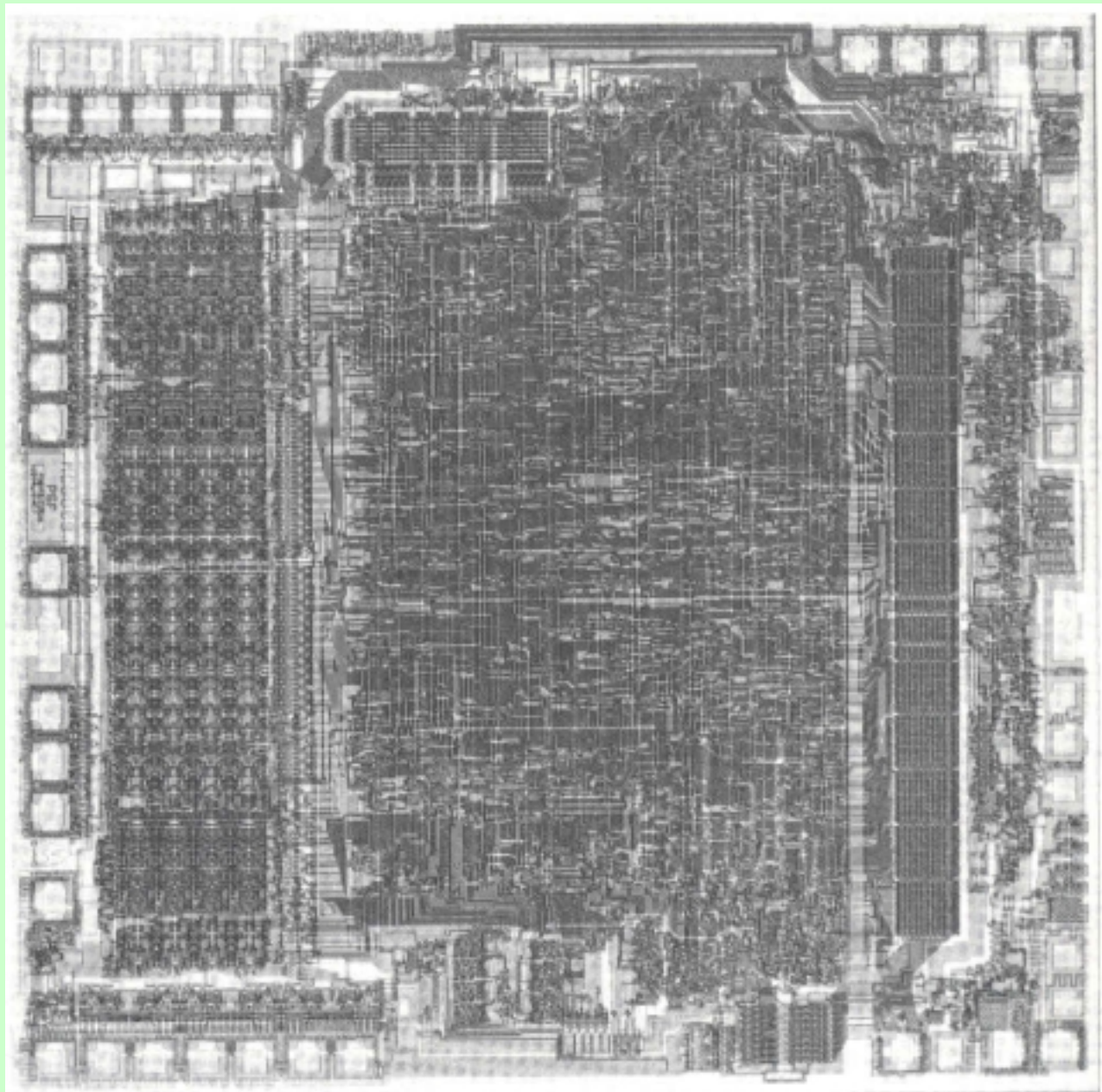
Magia liczby $\sqrt{2}$

CO TRZY LATA:

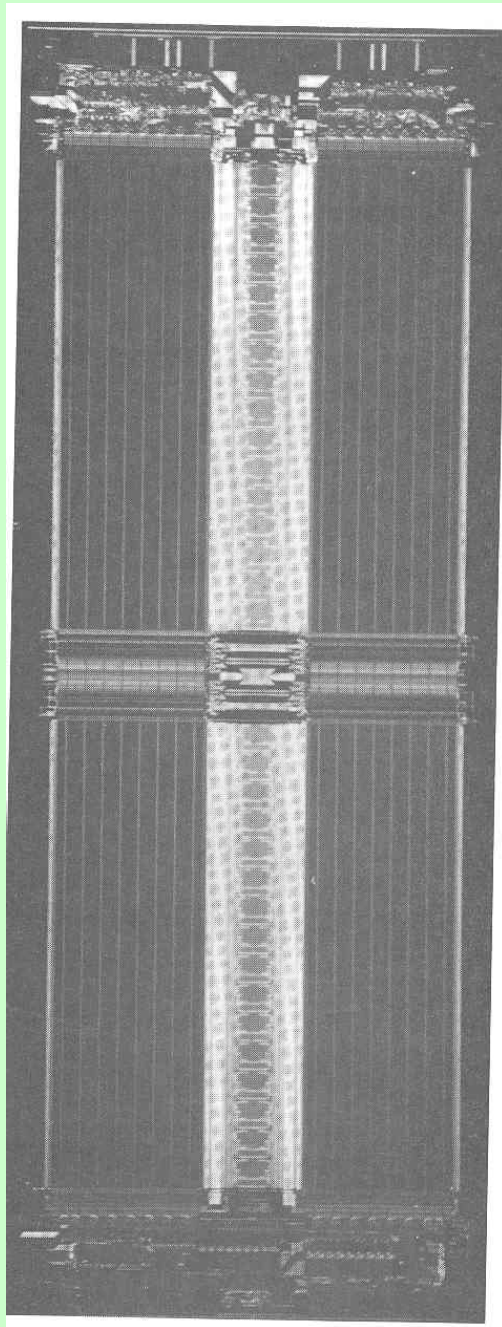
1. Minimalny wymiar tranzystora maleje 1.4 raza
2. Maksymalna powierzchnia układu rośnie 1.4 raza
3. Maksymalna liczba tranzystorów w układzie rośnie CZTEROKROTNIE
4. Maksymalna szybkość działania układów wzrasta TRZYKROTNIE (2001 - 2 GHZ !
mikrofale !?!?!?)

Główne nurty mikroelektroniki na świecie i producenci

- Standardowe układy katalogowe (Intel, Motorola, Siemens, Samsung, Toshiba, ...)
- Układy specjalizowane ASIC (liczne wytwórnie krzemowe: Belgia, Francja, Australia, Niemcy itd.)
- Układy specjalizowane programowalne ASIC (wielkie firmy)
- Mikroczipy i mikromechanizmy (liczne nowe firmy)



**Topografia procesora Motorola 6809. Styl projektowania „random logic”
Pierwsze duże projekty: Motorola 68000, Intel 8080. Nadmiar „wolnej przestrzeni”.**

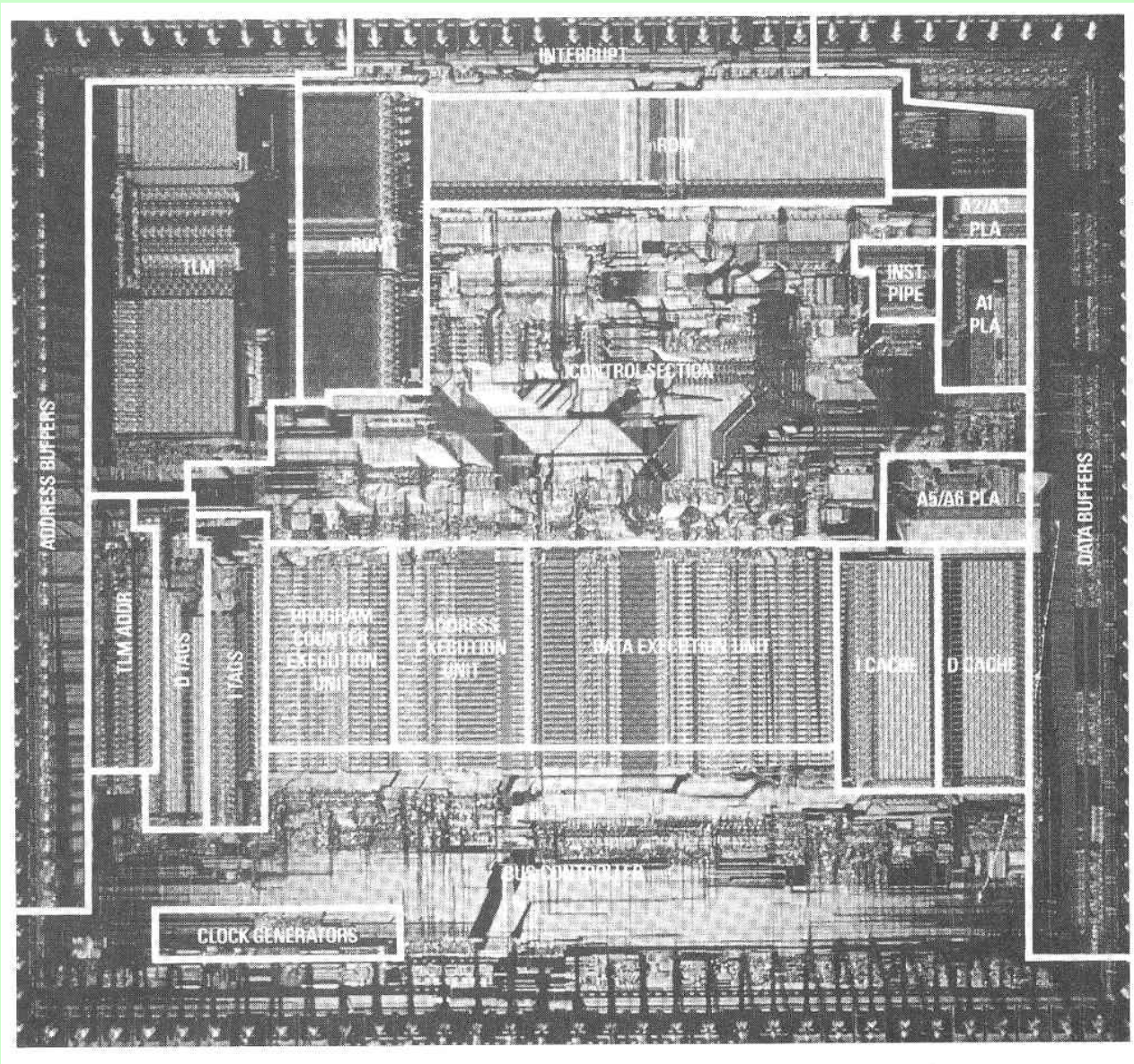


Topografia pamięci Texas Instruments 1M-bit DRAM Przykład logiki strukturalnej (większe „upakowanie”)

**Współczynnik wielokrotnego wykorzystania
bloków standardowych**

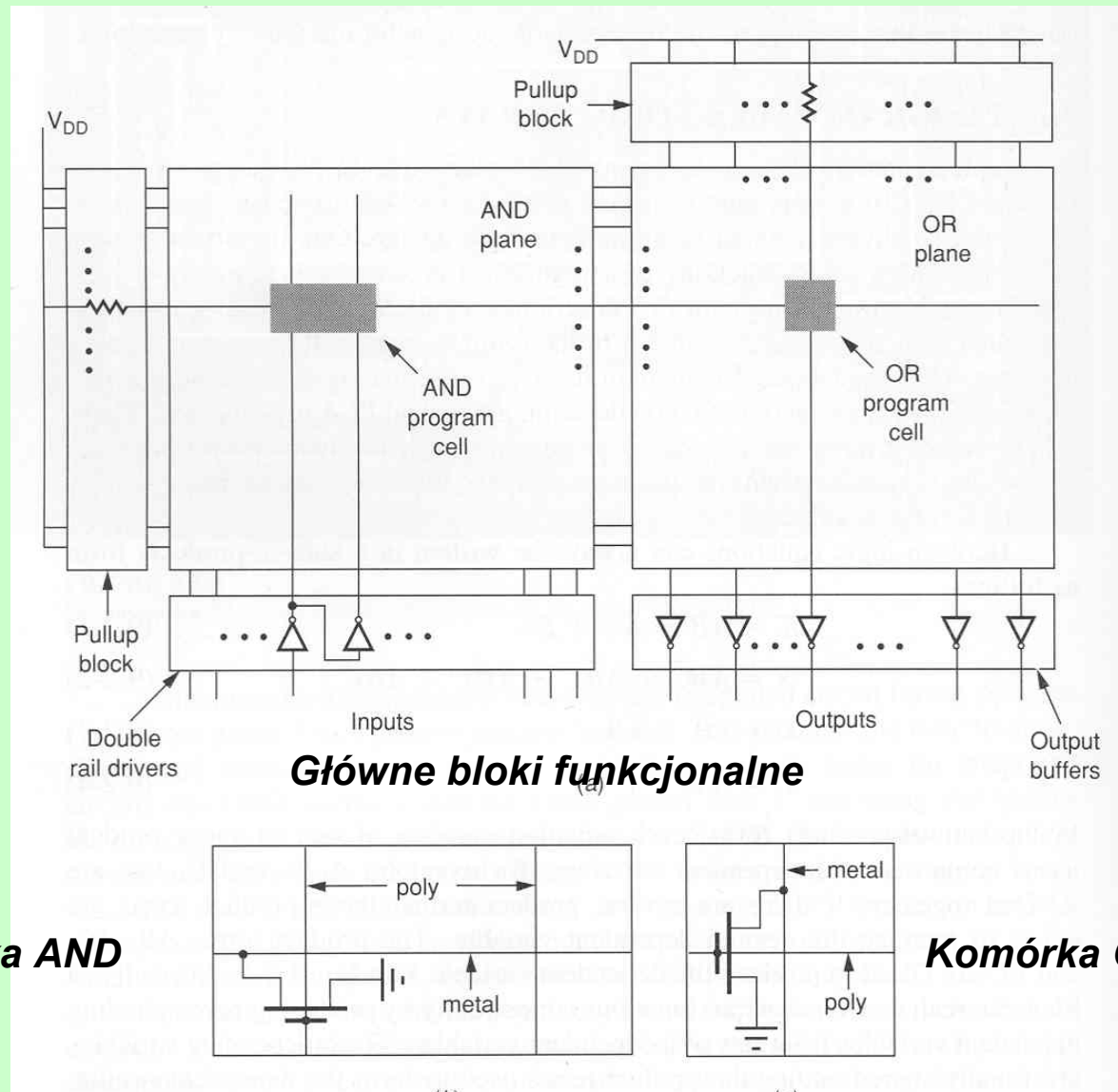
Chip name	Number of devices	Regularity factor
8080	4,600	1.1
8085	6,200	3.1
8086	29,000	4.4
Z8000	17,500	5.0
68000	68,000	12.1
iAPX-432	110,000	7.9
RISC	44,000	27.5

**Czas projektowania topografii „full custom”
ok. 5-10 elementarnych bloków (bramek,
 tranzystorów) na dzień. Czas całkowity =
czas projektu + czas rozmieszczenia +
czas symulacji, weryfikacji itp.**

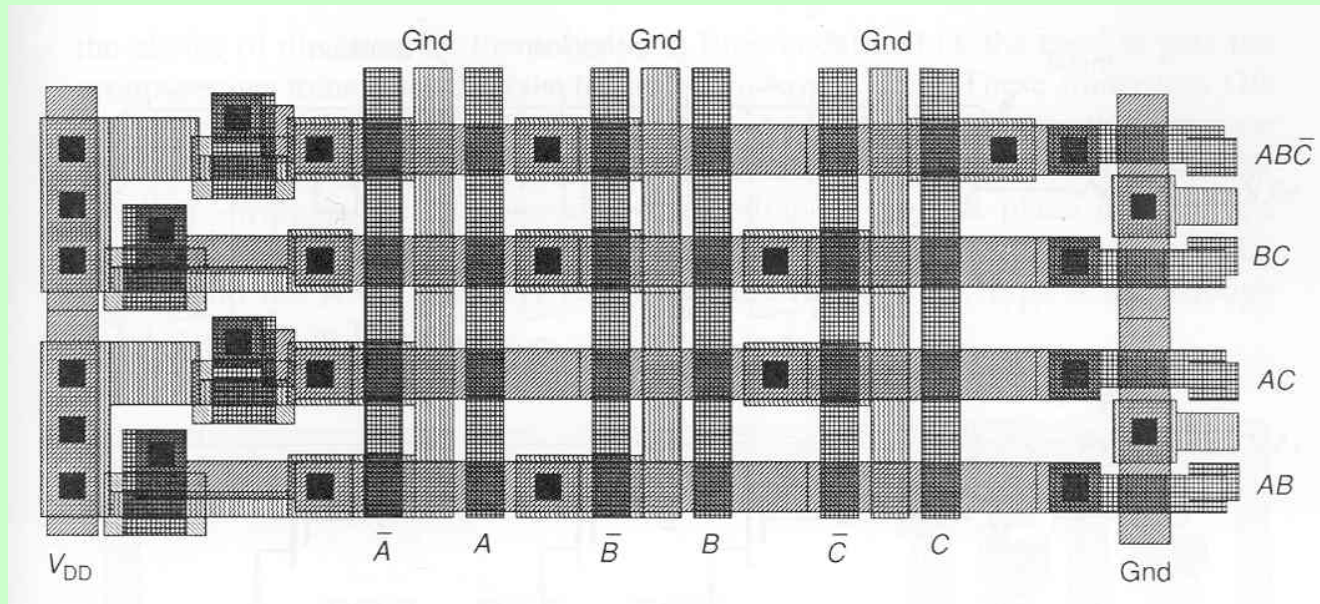


Motorola 68030
logika strukturalna

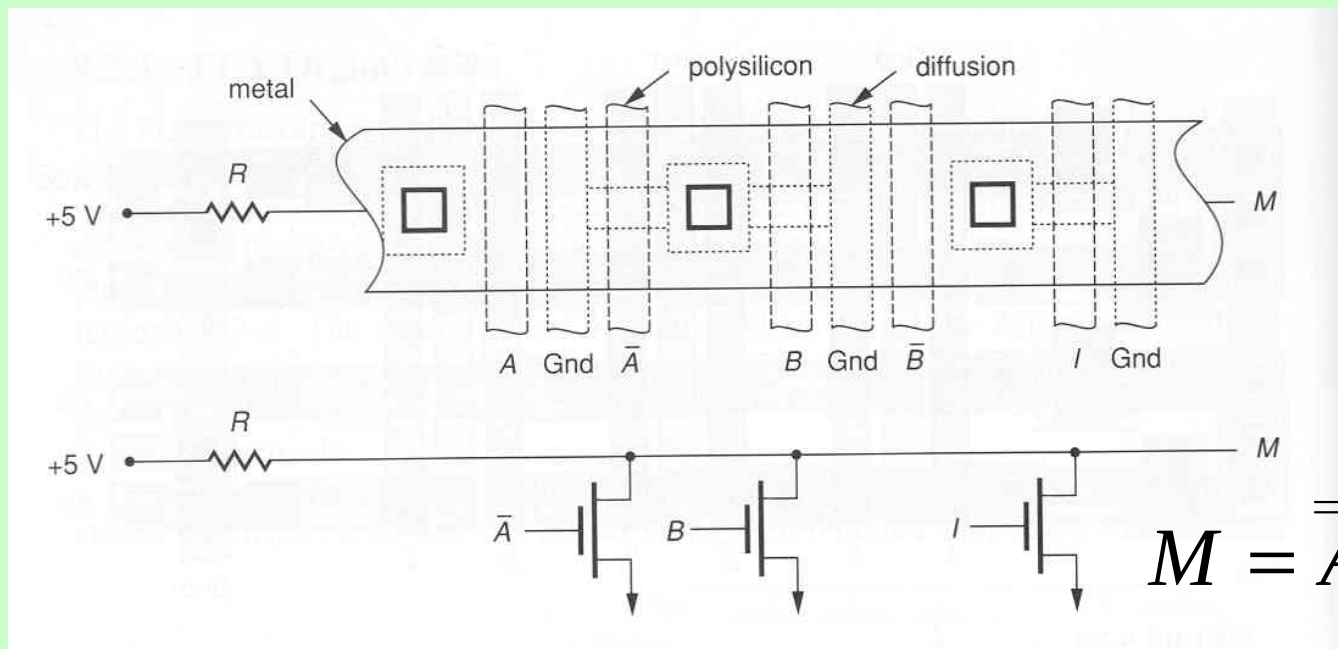
UŁADY PROGRAMOWALNE



Uproszczona architektura PLA (programmable logic array)

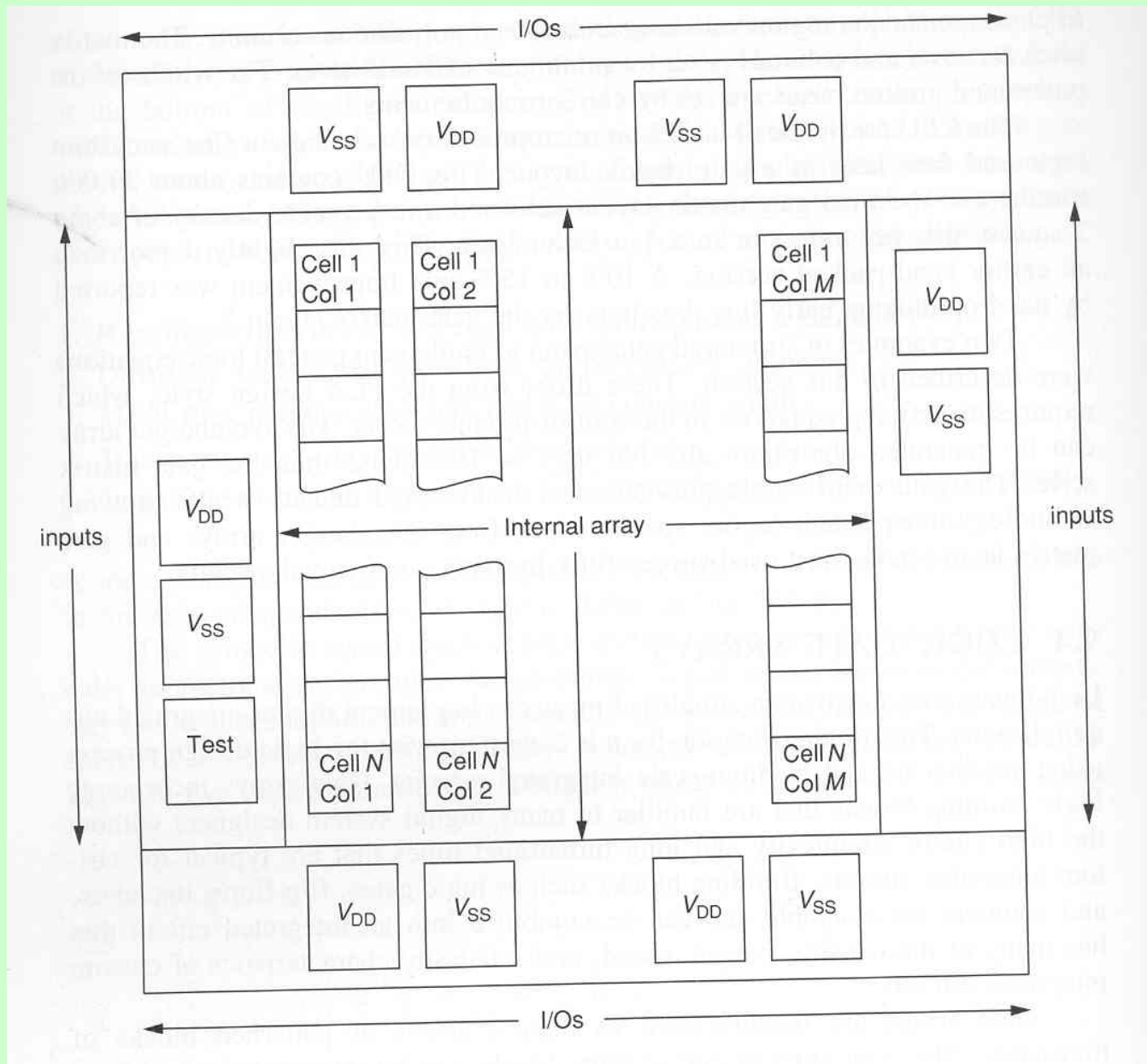


Topografia komórek AND (PLA)

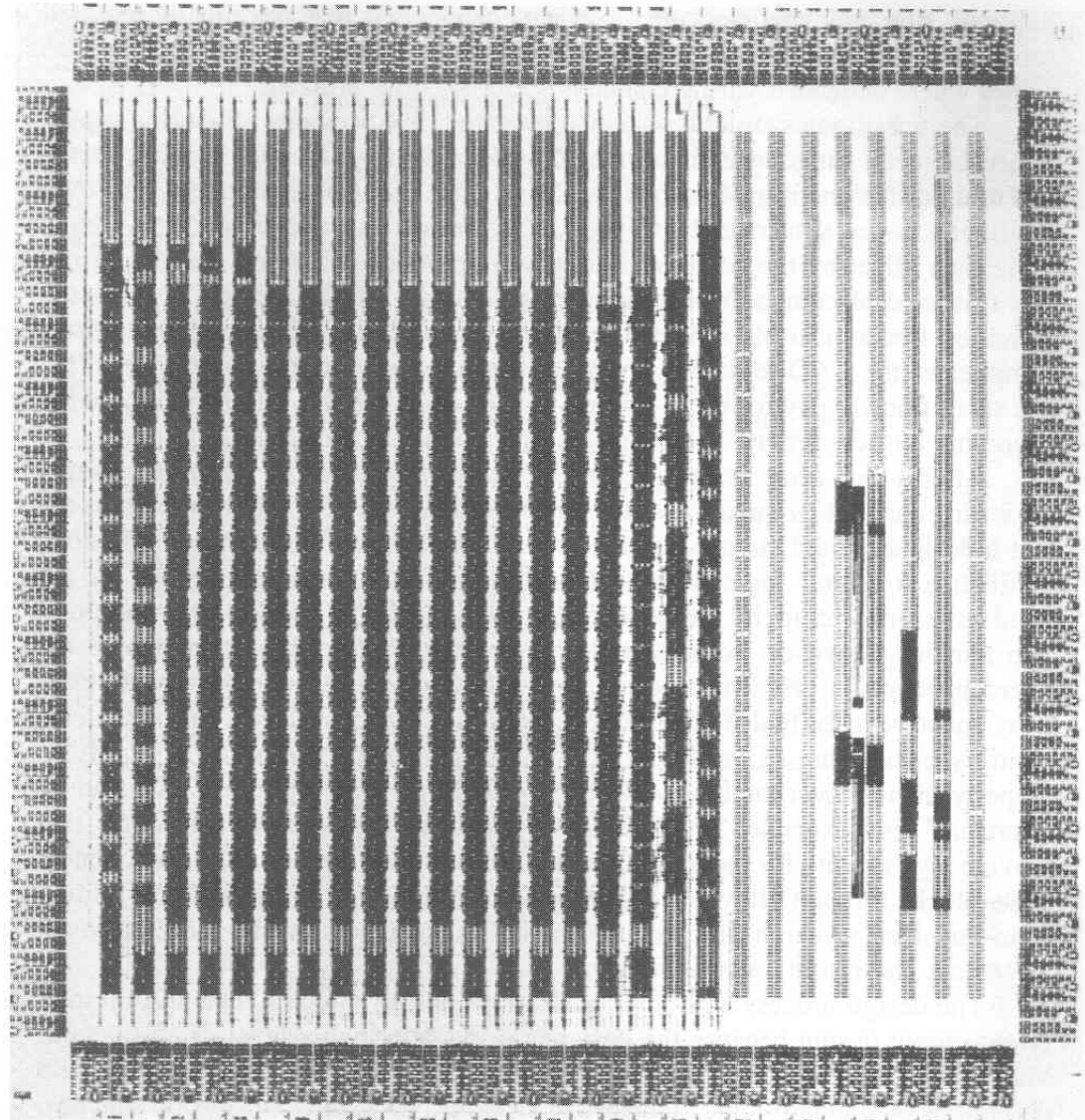


Struktura NOR macierzy AND (PLA)

$$M = \overline{\overline{A + B + I}} = \overline{A\bar{B}\bar{I}}$$



Typowa struktura gate-array



Przykładowa topografia matrycy gate-array

SZYBKOŚĆ DZIAŁANIA, A TECHNIKA ASIC

Prędkość rozchodzenia się fali elektromagnetycznej:

1s —————> 300 000 km

1ns —————> tylko 30 cm !

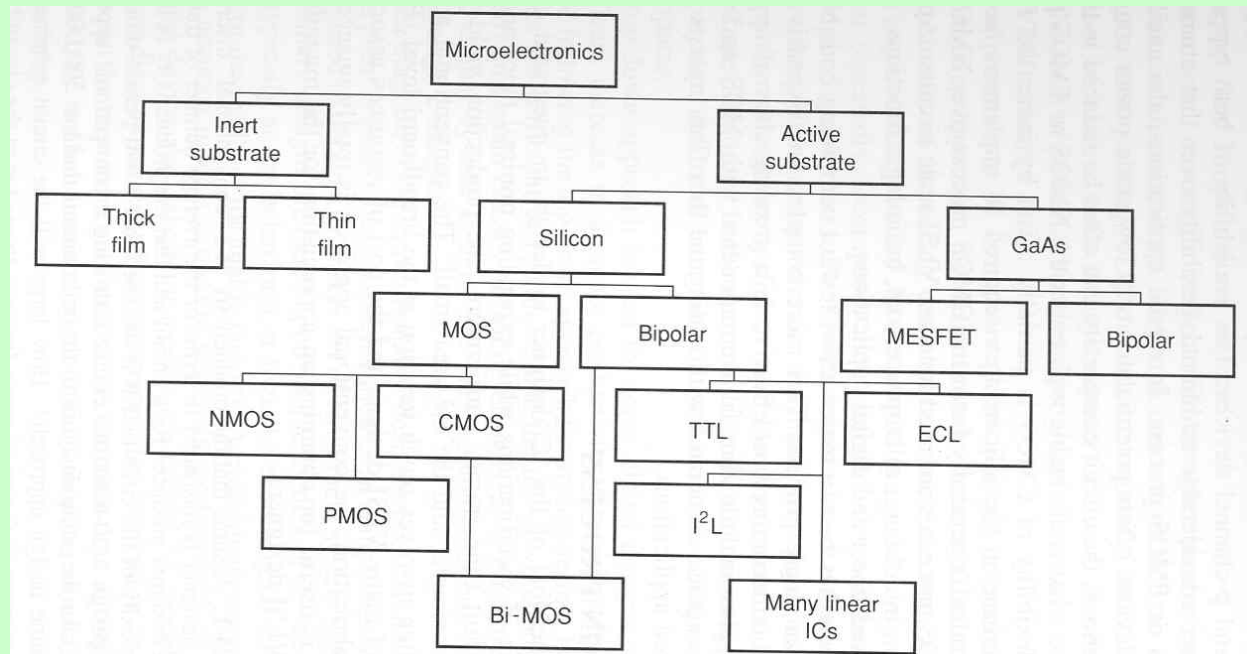
Odległość między elementami na płycie drukowanej: kilka centymetrów

Odległość między elementami w układzie scalonym : kilka mikrometrów

W układzie „full custom” optymalna (minimalna) długość połączeń

W układzie FPGA narzucona (nadmiarowa) długość połączeń.

Wybór techniki i technologii decyduje o parametrach fizycznych i cenie produktu:



MIKROSYSTEMY I MIKROUKŁADY

Problemy:

1. Koszt
2. Niezawodność
3. Mikroelektronika na świecie - tendencje rozwoju
4. Mikroelektronika w Polsce - bariery, czy można je pokonać ?

KOSZT

Średni koszt procesora komputera:

10 000 \$ - 1000 000 \$ w 1975r.

0.1 - 10\$ w 2001r.

Obniżka ceny jednostkowej ok. 100 000 razy !

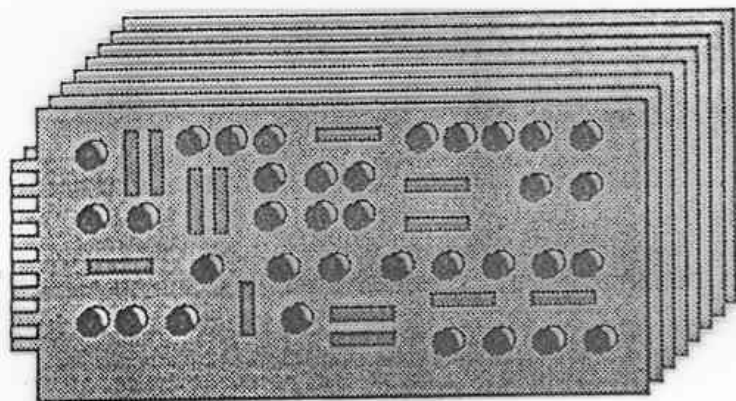
NIEZAWODNOŚĆ

Średni czas bezawaryjnej pracy procesora komputera:

kilkadziesiąt godzin w 1975r.

kilkadziesiąt lat (lub więcej) w 2001r.

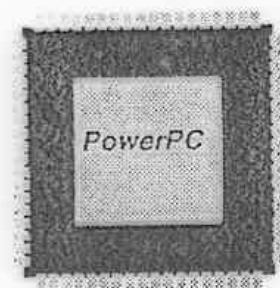
Wzrost niezawodności ok. 10 000 razy !



1975

**Tysiące pakietów drukowanych
dziesiątki tysięcy elementów**

**1 000 000 tranzystorów
3 000 000 wyprowadzeń
i punktów lutowniczych**



2001

Mikroprocesor

**1 000 000 000 tranzystorów
600 wyprowadzeń
i punktów lutowniczych**

Częstotliwość uszkodzeń pojedynczego elementu wynosi s , zaś częstotliwość uszkodzeń układu lub systemu złożonego z N elementów wynosi Ns .

W poprawnie skonstruowanej aparaturze elektronicznej uszkodzeniom nie ulegają tranzystory, lecz połączenia !

Dlaczego właśnie układy ASIC ?

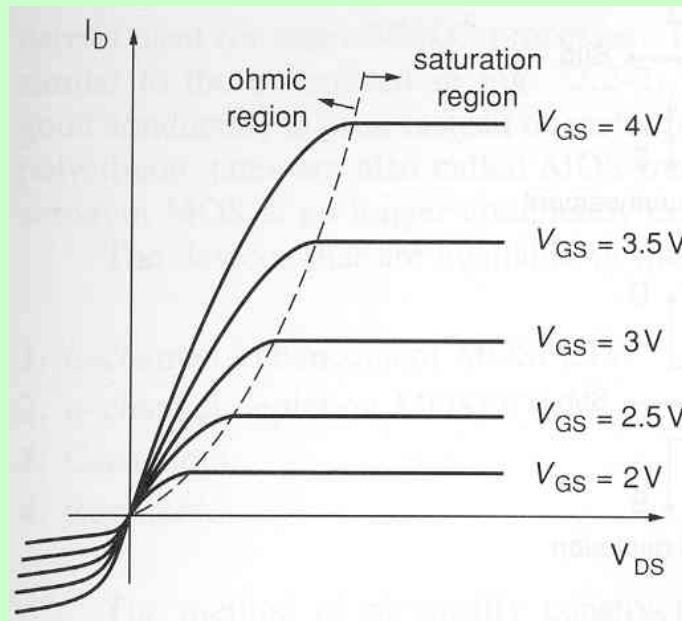
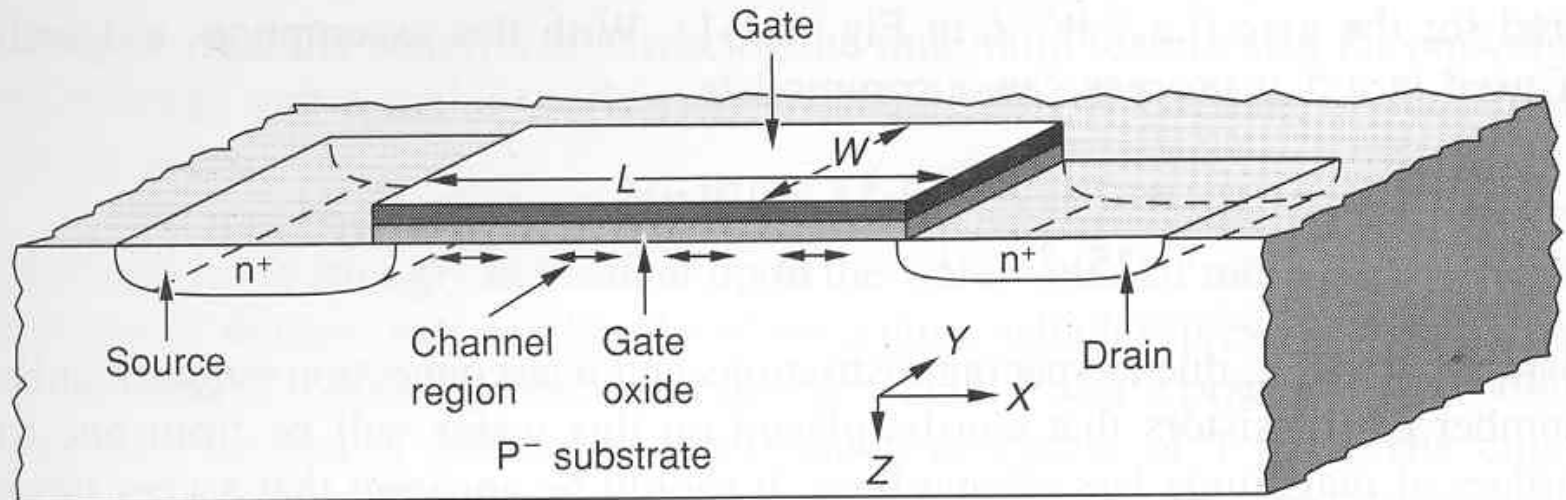
1. Wyższa niezawodność
2. Mniejsza pracochłonność i koszt produkcji
Indywidualizacja wyrobów (nowe funkcje, lepsze parametry)
3. Ochrona myśli technicznej

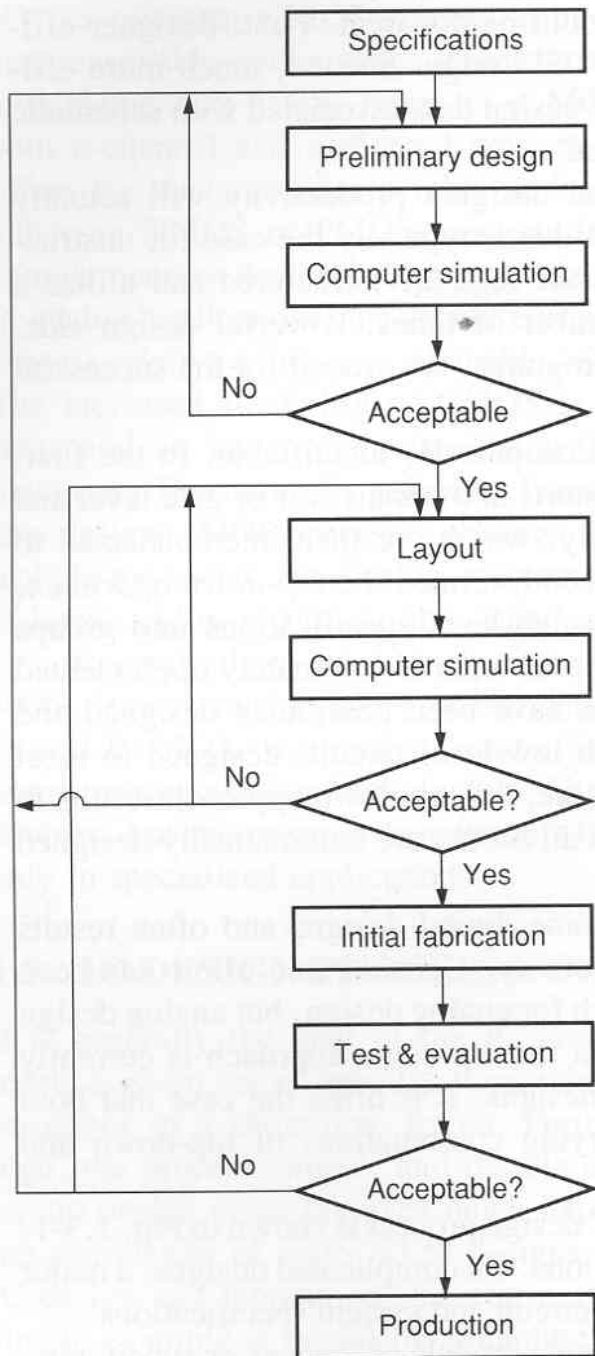
Odrobina fizyki

Gęstość atomów krzemu: $5 \times 10^{22}/\text{cm}^3$. To znaczy, że średnia odległość atomów wynosi 0.27 nm, czyli w technologii 2.7 μm (zabytkowej) liczba atomów wzdłuż boku bramki wynosi 10 000, ale w technologii 0.27 μm tylko 1000, podczas gdy dla $L=27\text{nm}$ zaledwie 100 atomów.

Wytrzymałość dielektryczna dwutlenku krzemu wynosi 5-10 MV/cm. Czyli napięcie 5V przy grubości warstwy izolacyjnej 10nm (ok. 30 atomów) jest na granicy wytrzymałości !

Warstwa „1 atomowa” wytrzymuje napięcie ok. 0.17 V.



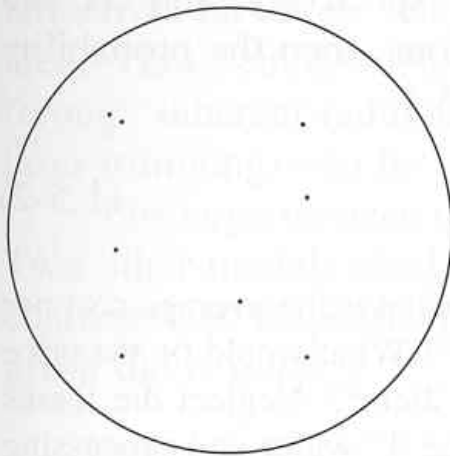


Aspekty projektowania:

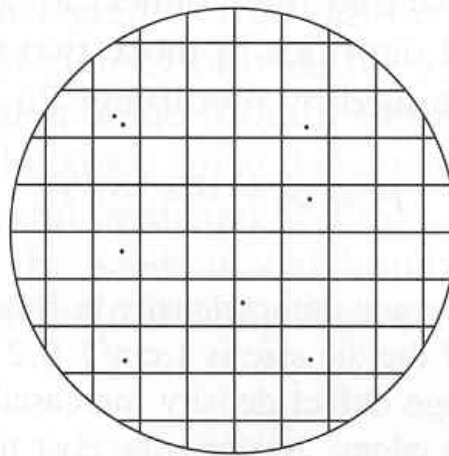
- techniczne
- ekonomiczne
- estetyczne
- socjologiczne

Schemat blokowy procesu projektowania

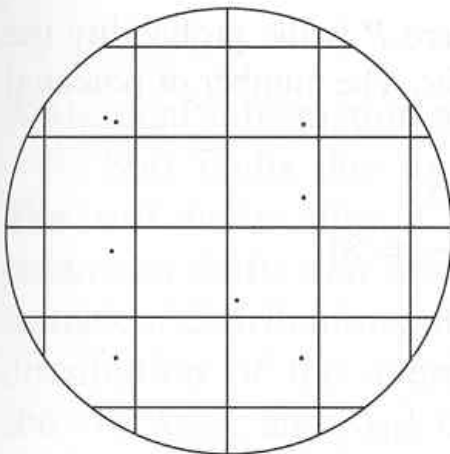
UZYSK



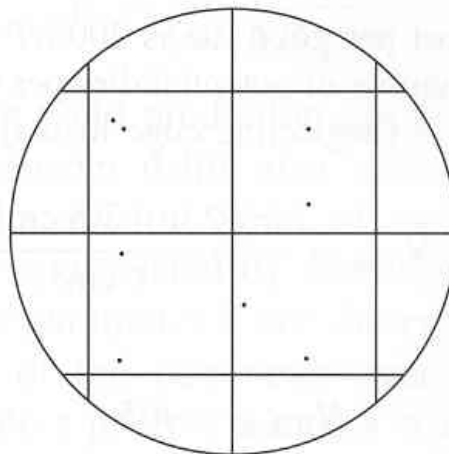
(a)



(b)



(c)



(d)

KOSZT

**Koszt płytki (wafer) ze strukturami:
500 - 5 000 \$**

**Liczba struktur na płytce:
1000 - 100 000**

**Koszt struktury:
od ułamek centa do kilku dolarów**

**Koszt montażu i obudowy:
0.1 - 100 \$**

**Koszt montażu proporcjonalny do
liczby wyprowadzeń.**



Makieta fabryki krzemowej
(Clean room)
Intel, Santa Clara, CA, 2001
Koszt ok. 4 mld \$

Projektowanie ASICów w Polsce

Mity i bariery

Układ ASIC ? Co to jest ?

„To nam nie potrzebne”

„Technologie w Polsce niedostępne”

„Tego u nas nie da się zrobić”

„To się nam nie opłaca”

„To by nas za dużo kosztowało”

„Tak szczerze, to nie mamy pojęcia jak się do tego zabrać.

Jak obalić mity i pokonać bariery

Kształcenie i doskonalenie

Ośrodki wspierające

- doradztwo

- projektowanie

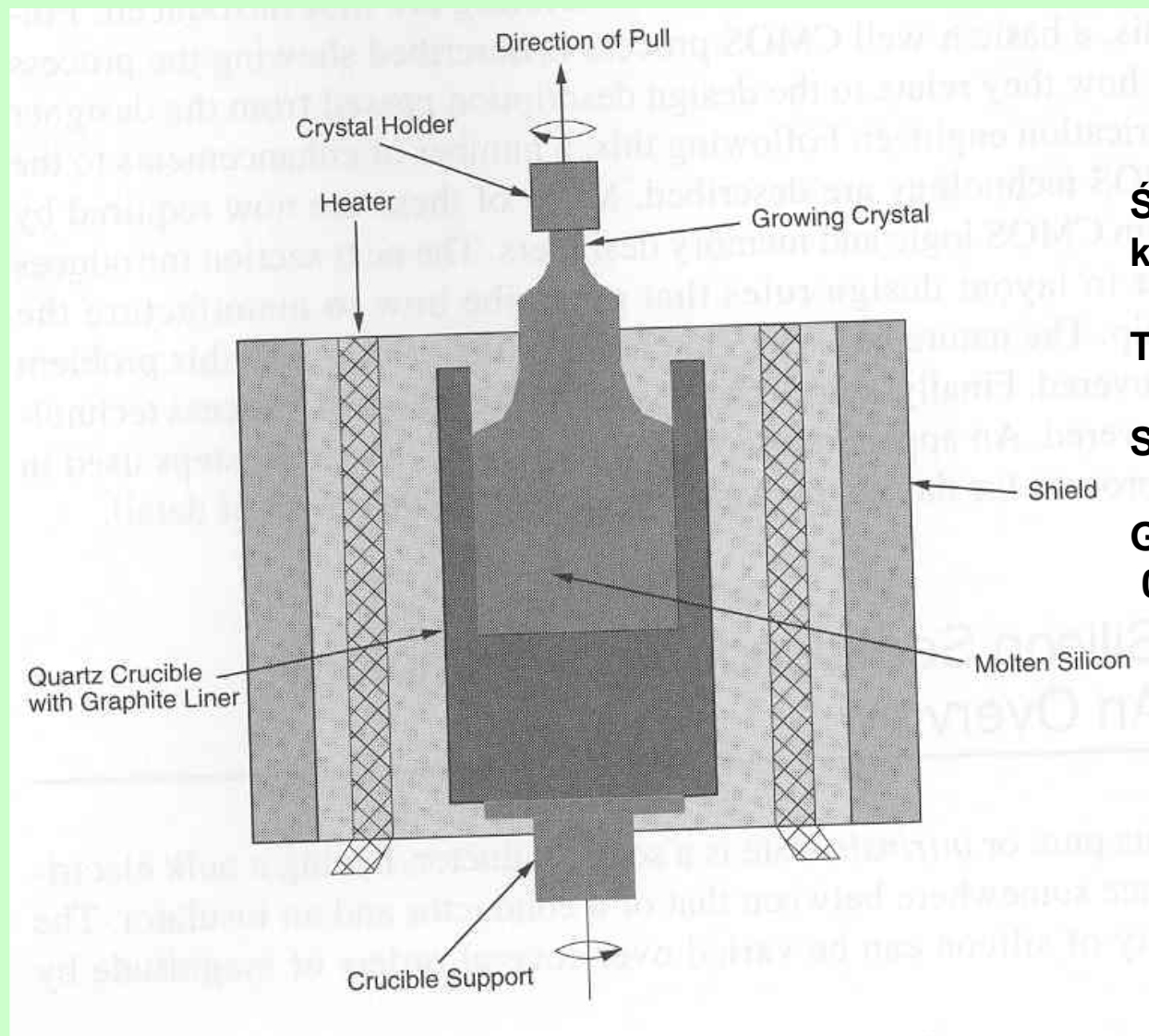
- pośrednictwo między firmą, a producentem

Wytwarzanie w kraju

Wsparcie ekonomiczne

Konsultacje

PROCES TECHNOLOGICZNY CMOS



**Średnica walca krystalicznego
krzemu: 75-230 mm**

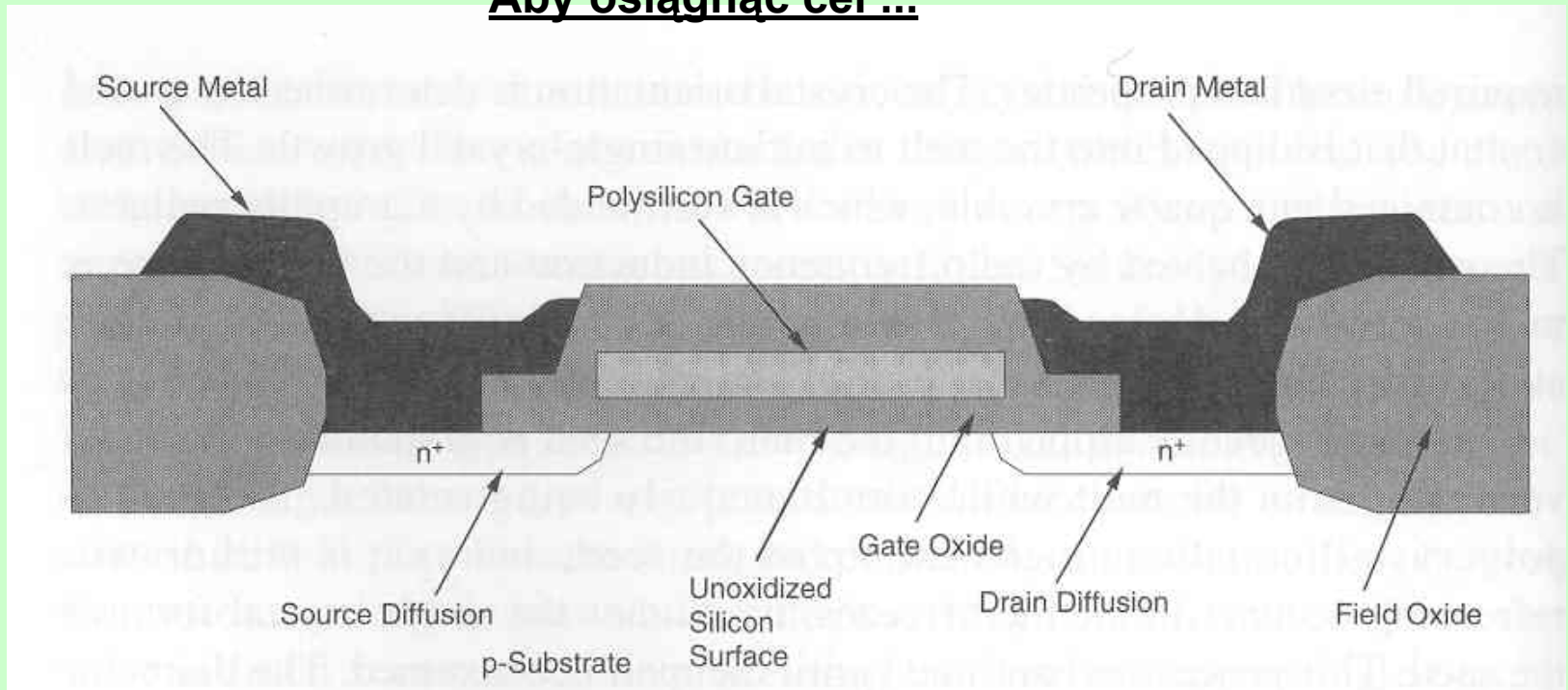
Temperatura = 1425 °C

Szybkość wzrostu 30-180 mm/h

**Grubość płytek (po cięciu):
0.25 - 1.0 mm.**

Proces pozyskiwania krystalicznego krzemu metodą Czochralskiego

Aby osiągnąć cel ...



Utlenianie :

Wilgotne - w atmosferze pary wodnej, temp. 900-1000 °C, proces szybki

Suche - w atmosferze suchego tlenu, temp. 1200°C, proces bardziej precyzyjny

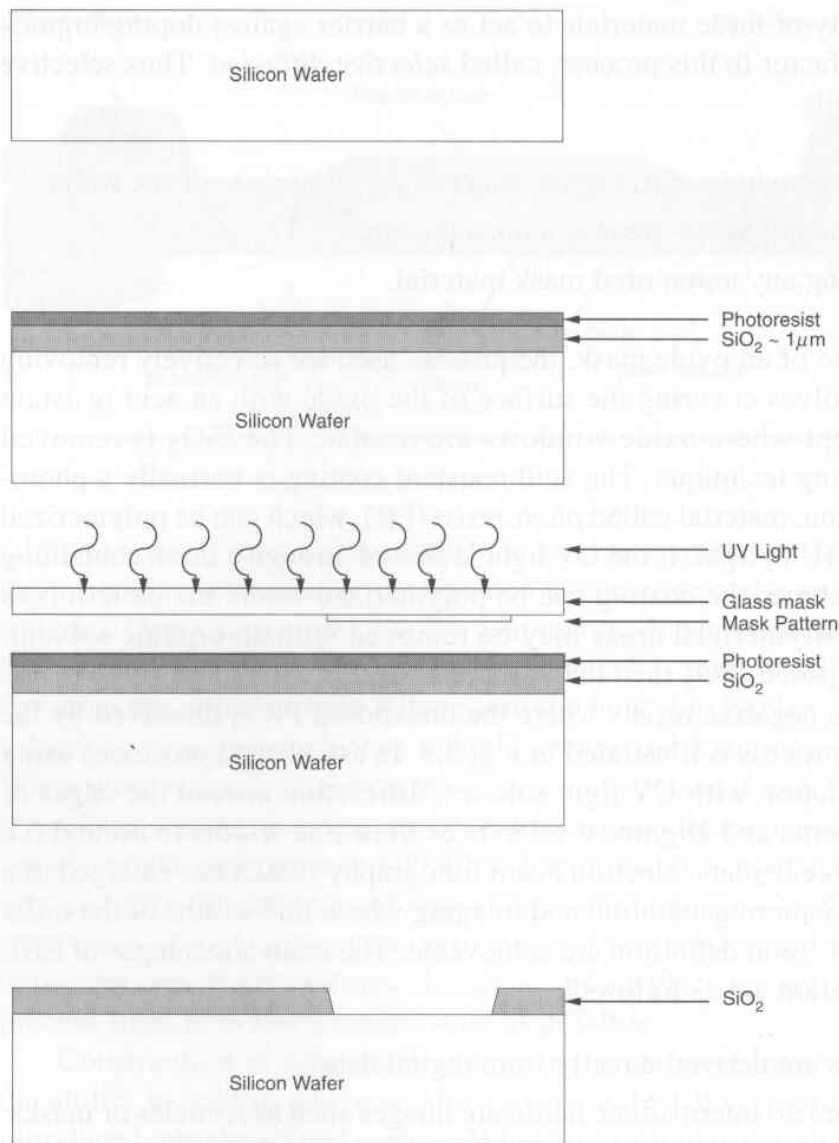
Epitaksja, depozycja, Implantacja jonowa i dyfuzja - jako sposoby wprowadzania donorów lub akceptorów do krzemu

Epitaksja - „hodowanie” cienkiej warstwy krystalicznej na podłożu krzemowym poprzez działanie na krzem domieszką w trakcie wzrostu temperatury.

Depozycja - domieszki najczęściej są wyparowywane i osadzają się na krzemie.

Implantacja jonowa - działanie na krzem silnie energetycznymi jonami domieszek.

Dyfuzja - temperatura procesu >800 oC

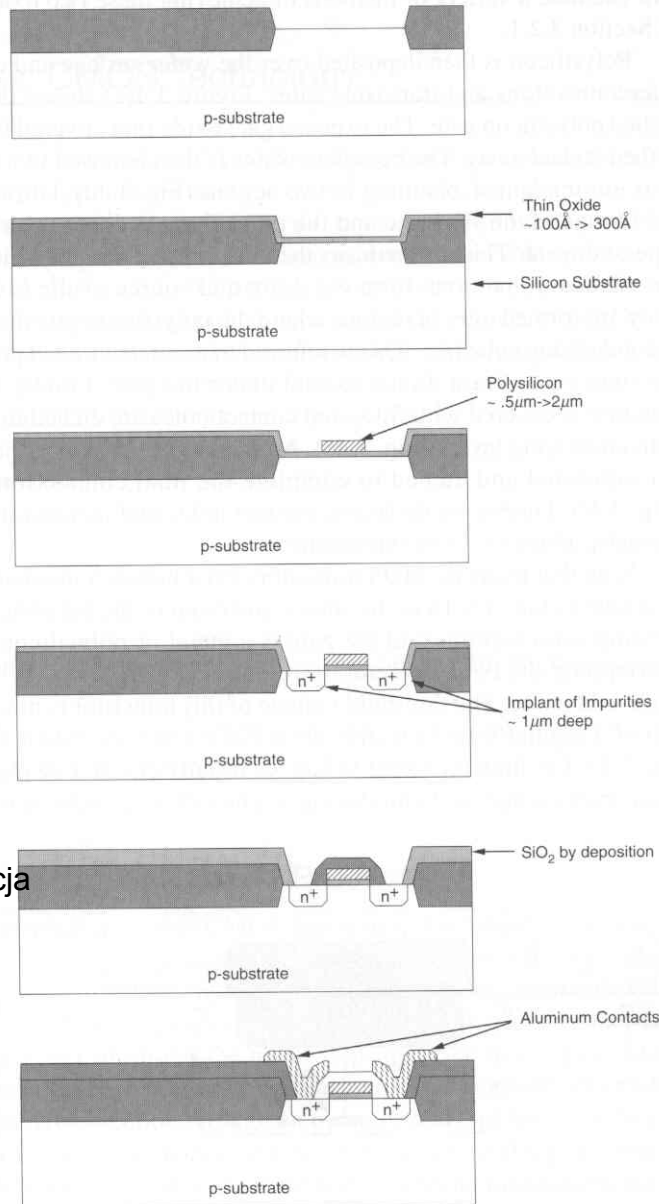


Uproszczone etapy precyzyjnego nakładania warstwy izolacyjnej SiO_2

Procesy technologiczne tranzystora nMOS

Proces technologiczny bramki

Polysilicon - własności fizyczne, materiał do budowy elektrody bramki (jest powtórnie wykorzystany jako maska definiująca precyzyjne położenie źródła i drenu). Krzem nałożony na tlenek tworzy polikrzem.



Podłoże z warstwą SiO₂
warstwa grubą

Nakładanie b. cienkiej
warstwy tlenku bramki

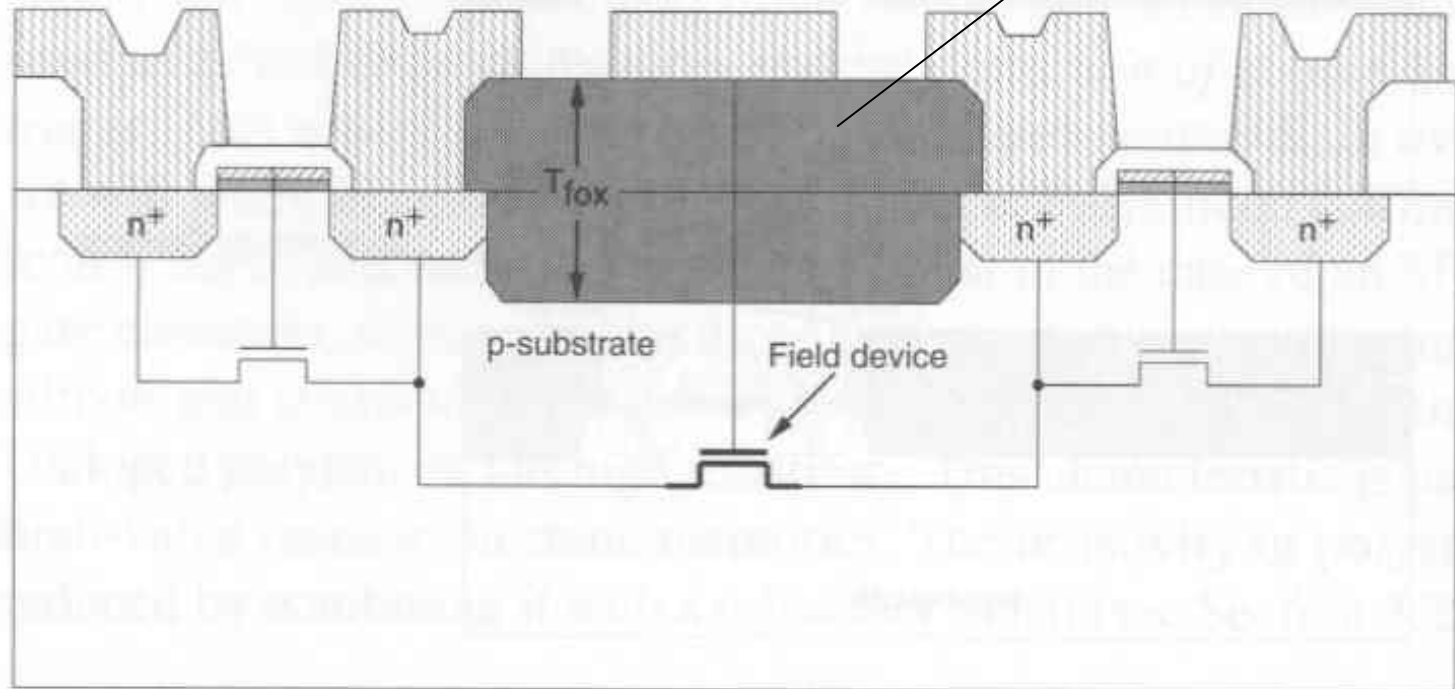
Nakładanie polikrzemu

Dyfuzja lub implantacja
domieszek

Warstwa SiO₂ jako izolacja
przed naniesieniem
kontaktów

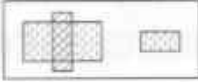
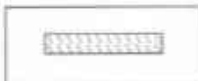
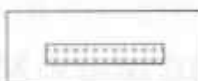
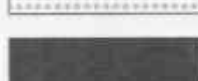
Nałożenie warstwy
(kontaktów) aluminium

Tlenek gruby (Field oxide)



Tranzystor pasożytniczy

Proces CMOS n-well- konwencja oznaczeń

Process Cross-sections		Mask Layouts		Symbolic Layouts	
	Field Oxide		n-well		n ⁺ wire or transistor
	Gate Oxide		active		p ⁺ wire or transistor
	n-well		n ⁺ select or n ⁺ diffusion		Contacts (poly, n ⁺ , p ⁺)
	n ⁺ /p ⁺ Diffusion		p ⁺ select or p ⁺ diffusion		Metal 1
	Polysilicon		Polysilicon		Via
	Metal 1		Contact		Metal 2
	Metal 2		Metal 1		Via 2
			Via		Metal 3
			Metal 2		
			Via 2		
			Metal 3		

Przebieg typowego procesu n-well CMOS

**Nanoszenie studni typu n.
Implantacja jonowa lub depozycja i dyfuzja**

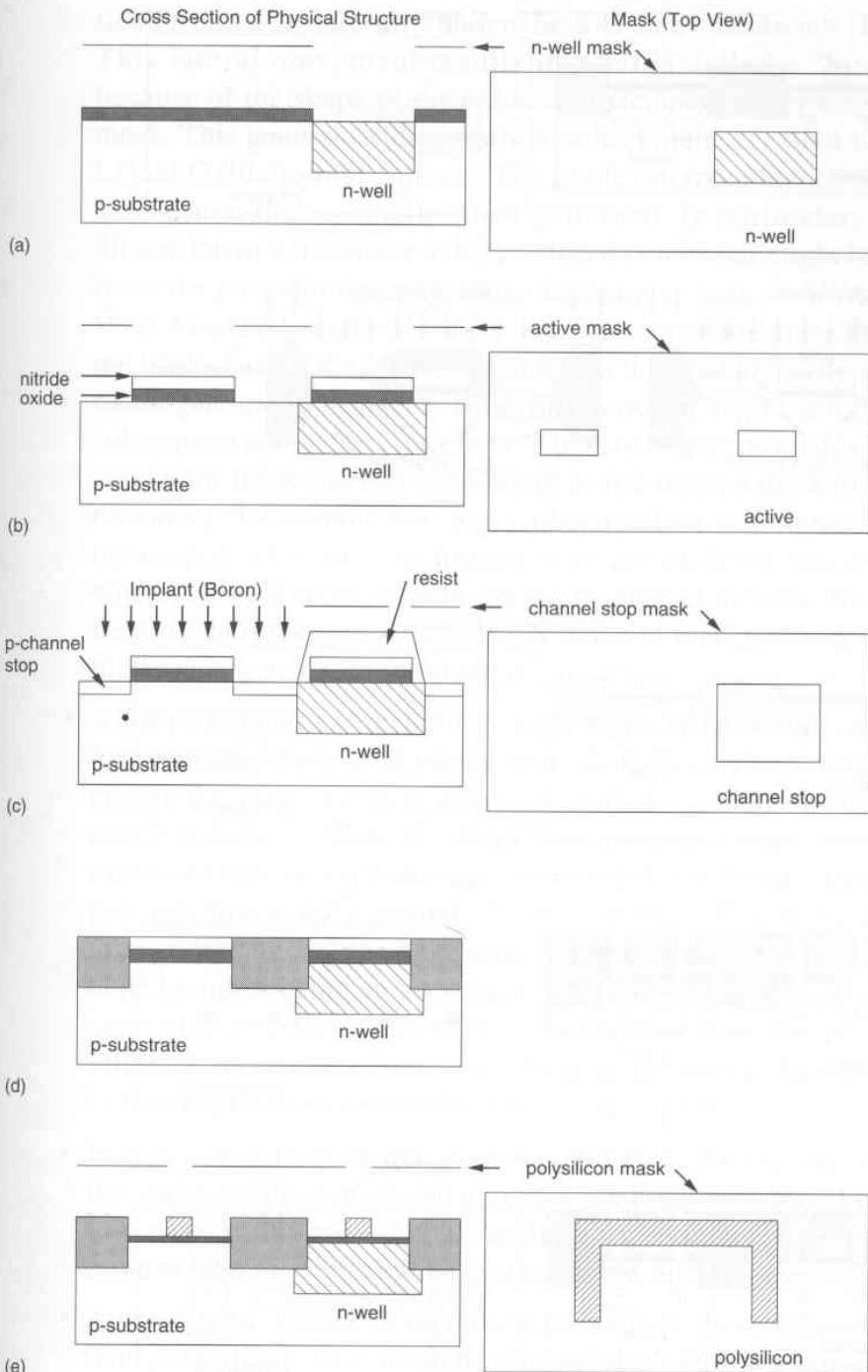
**Aktywna maska do budowy cienkich warstw
tlenkowych bramek, „maskuje” obszar
podłoża w czasie dyfuzji domieszek**

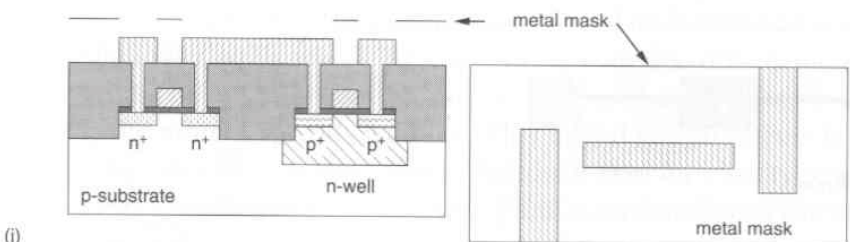
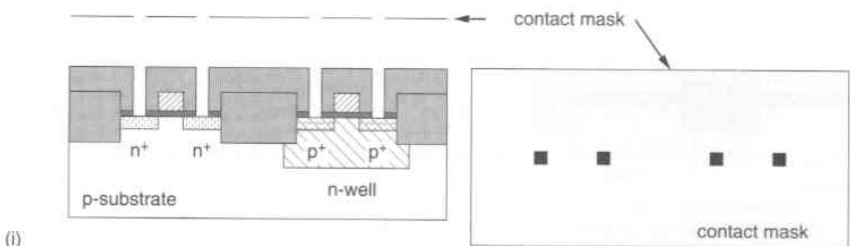
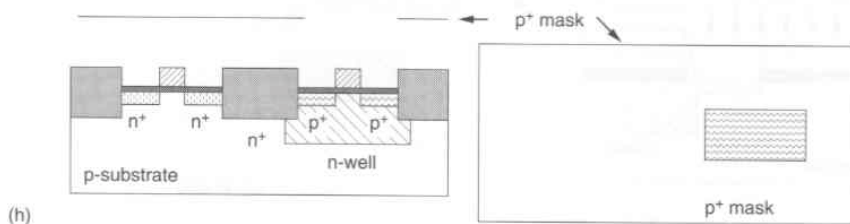
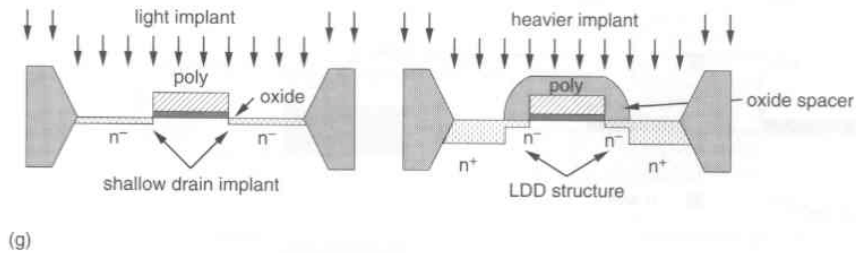
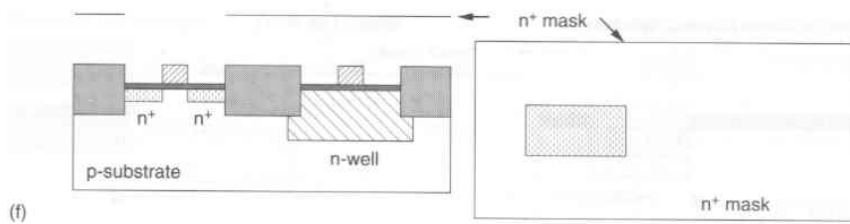
Maska fotorezystora

**Hodowanie grubej warstwy tlenku
bez maski**

Maska polikrzemu.

cdn.





Maska obszarów dyfuzji n⁺

Dyfuzja domieszek przez cieką warstwę SiO₂
 Implantacja n⁺ na podłożu n daje kontakt „omowy”
 tzn. nie diodowy n-p, (nie zaznaczony na rysunku)

**Dwuetafowa dyfuzja domieszek n⁺ aby
 powiększyć długość kanału dla uniknięcia
 „przeskoków gorących elektronów w warst. n⁺”
 Po dyfuzji „ciężkiej” usunięcie warstwy tlenku**

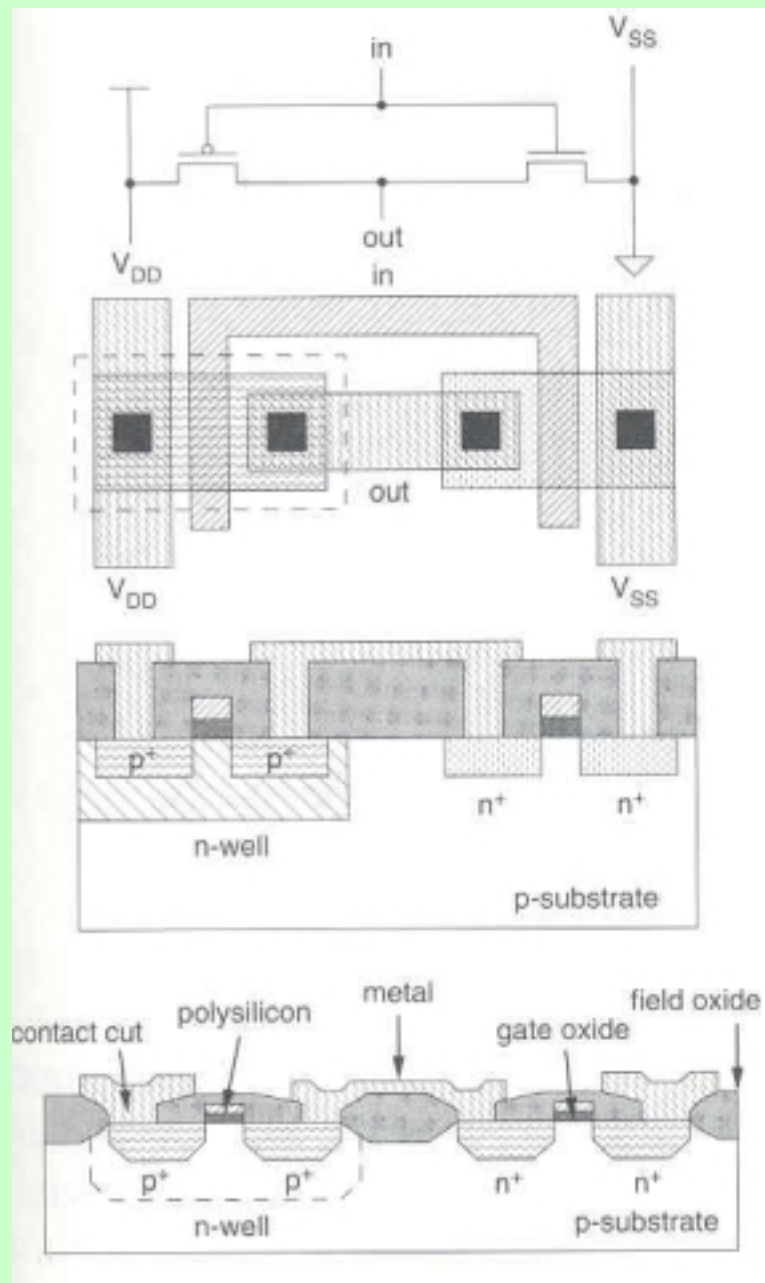
Dyfuzja domieszek p⁺

Tutaj nie występuje efekt „gorących elektronów” -
 proces jednoetapowy

Kontakty metalowe

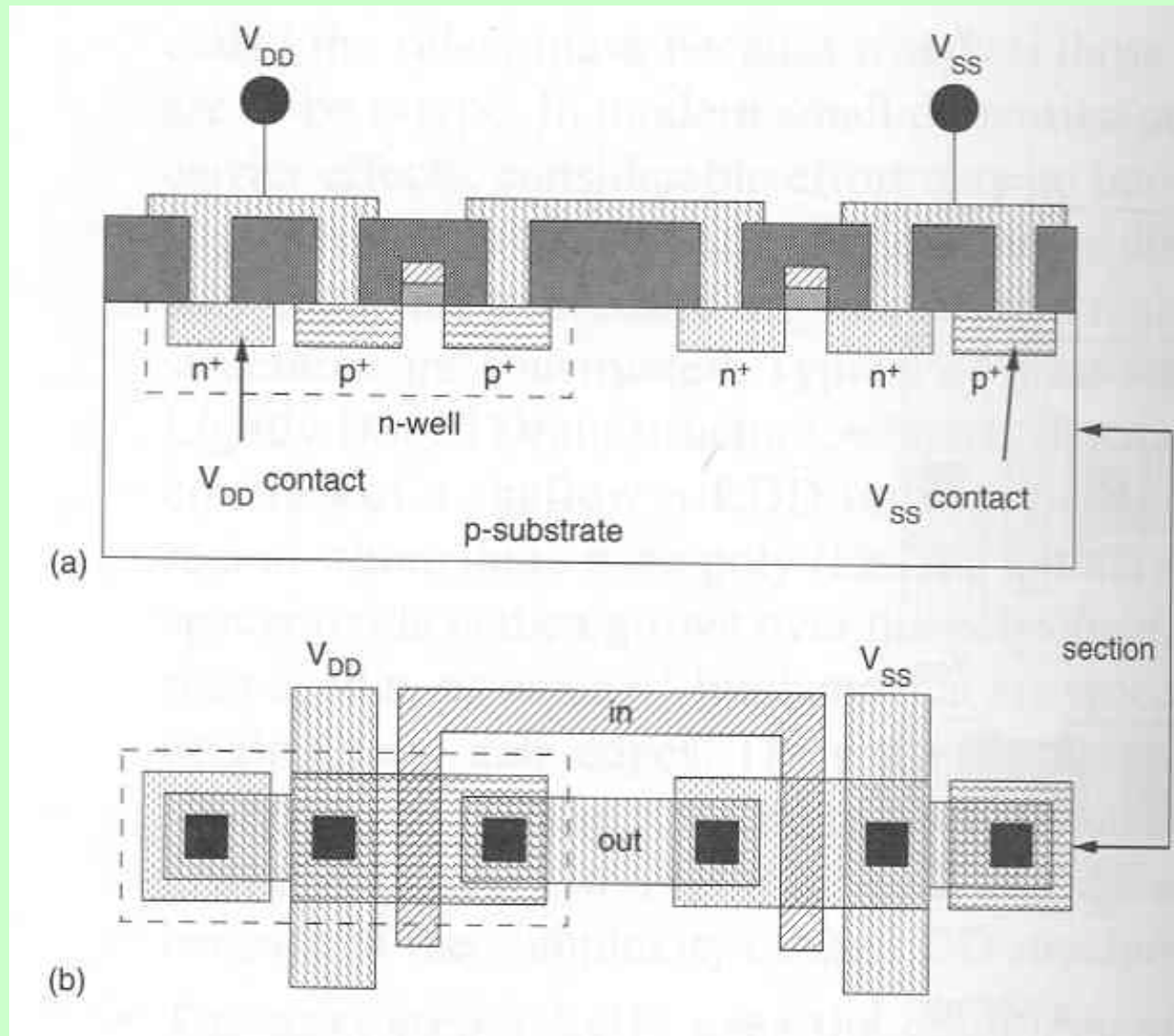
Połączenia metalowe

Ostatni etap - pady (nie zaznaczone)

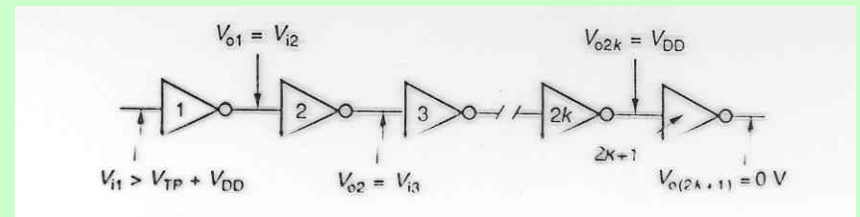


Przekrój inwertera CMOS, proces n-well

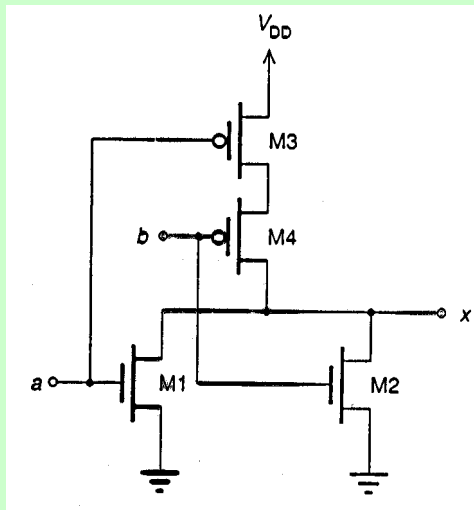
Proces CMOS, p-well (dualny do n-well)



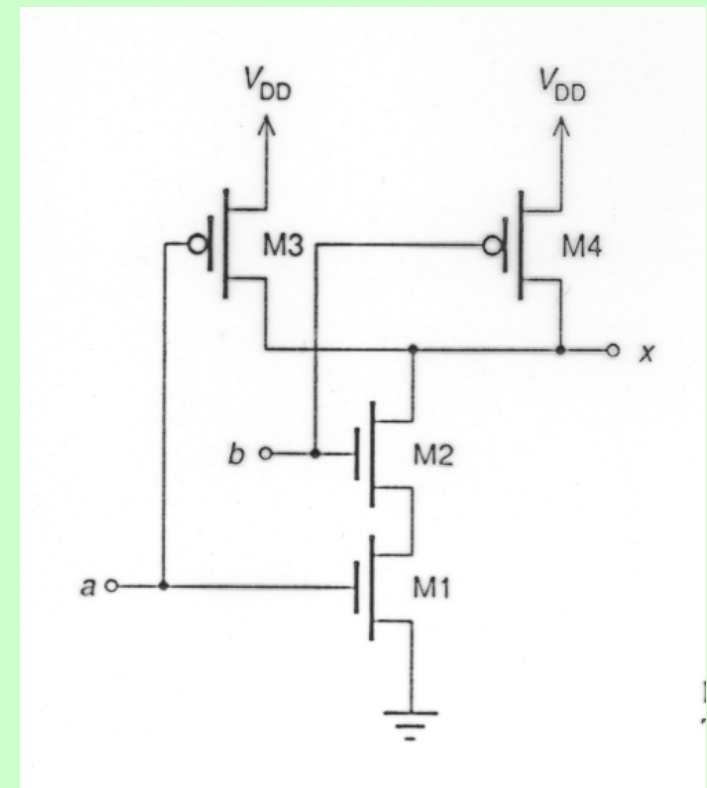
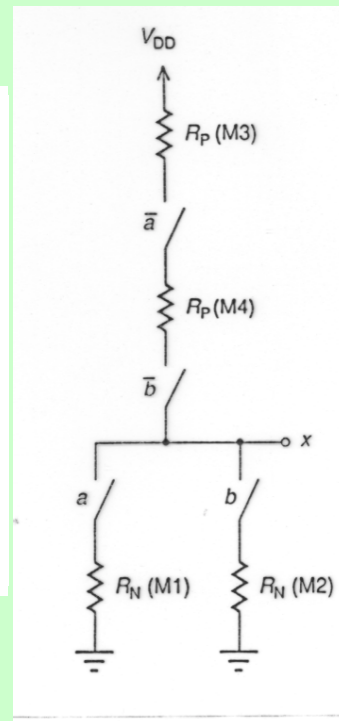
Uwaga: Proces p-well pozwala uzyskać lepsze tranzystory typu p, niż proces n-well.



CMOSowa kaskada inwerterów

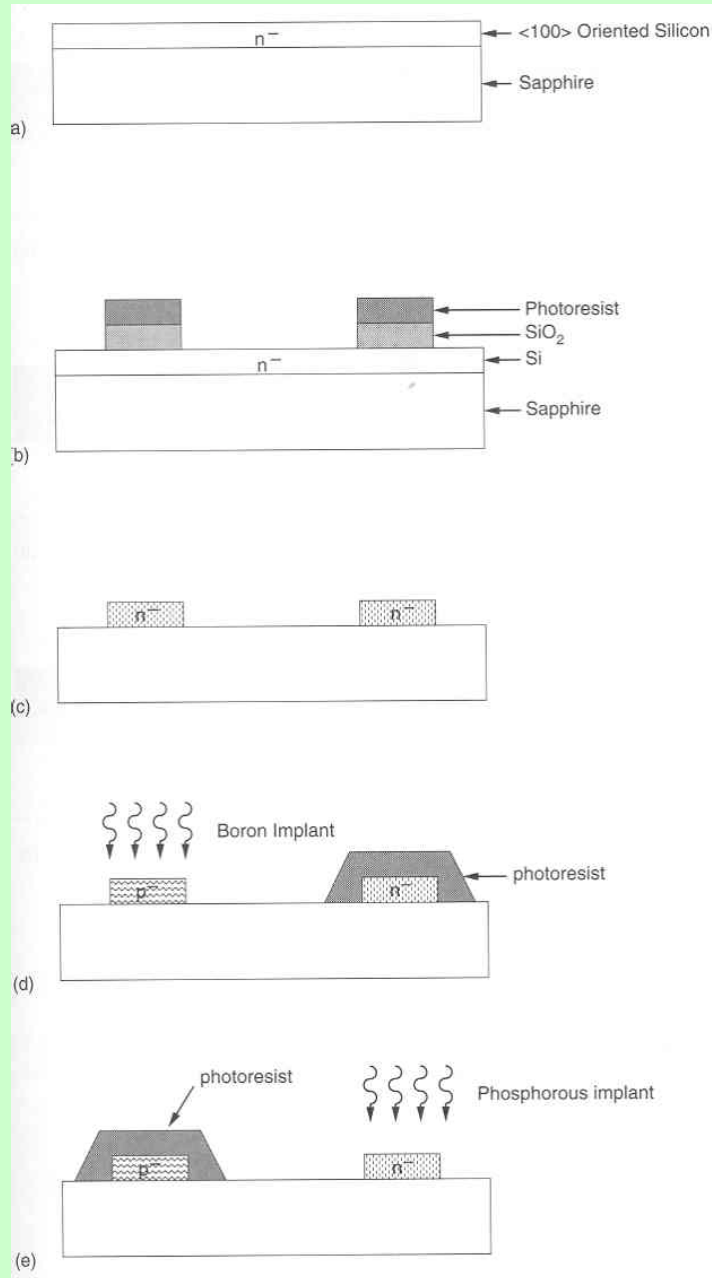


bramka CMOS NOR



bramka CMOS AND

Krzem na izolatorze (Silicon On Insulator - SOI) - podłoże bierne



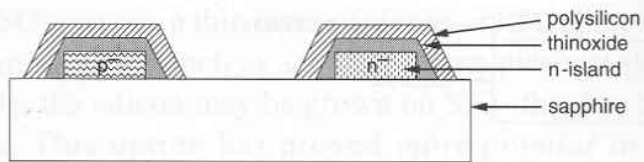
**Hodowanie krystalicznego
krzemu n^- na szafirze, 7-8 μm**

**Nałożenie warstwy tlenku i wytrawienie powierzchni
z wyjątkiem miejsc dyfuzji**

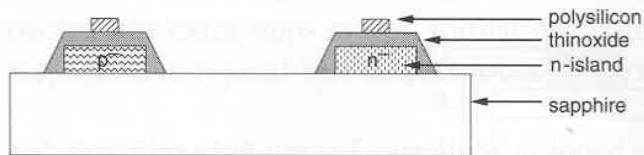
Po trawieniu

Tworzenie wyspy p

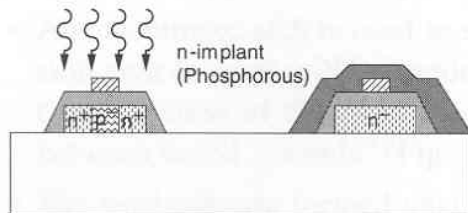
Tworzenie wyspy n (zwiększanie gęstości domieszek)



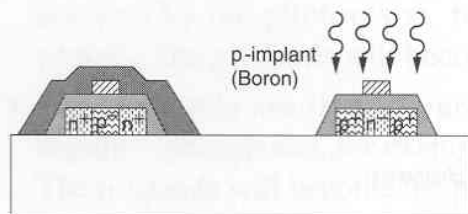
Pokrycie wysp tlenkiem i polikrzemem



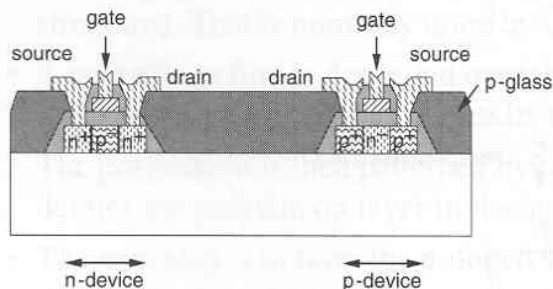
Wytrawianie polikrzemu



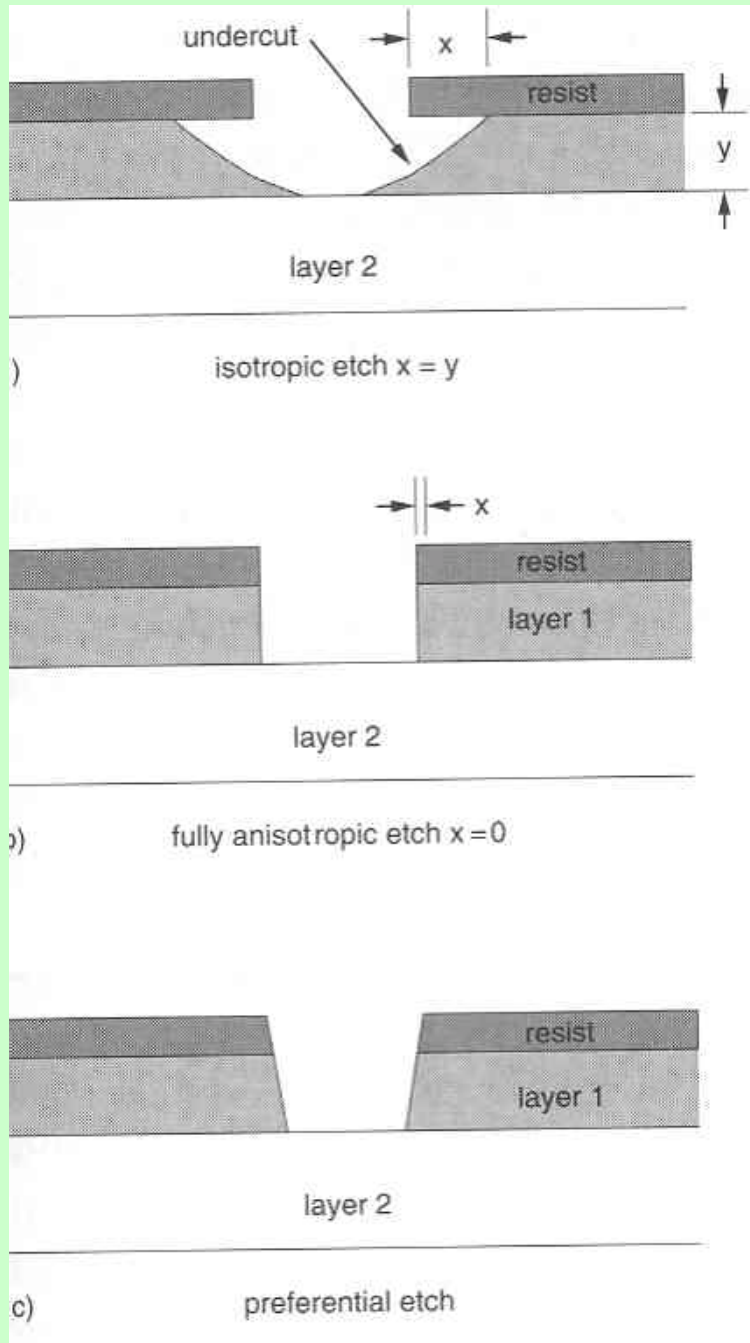
Formowanie źródła i drenu (n^+) tranzystora



Formowanie źródła i drenu (p^+) tranzystora



Pokrycie izolatorem i metalizacja (Al). Bonding



Różne efekty trawienia

Zalety technologii SOI:

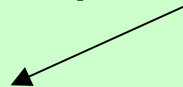
1) Mniejsze pojemnościowe sprzężenie zwrotne = większa częstotliwość pracy

2) Brak studni = większe upakowanie elementów

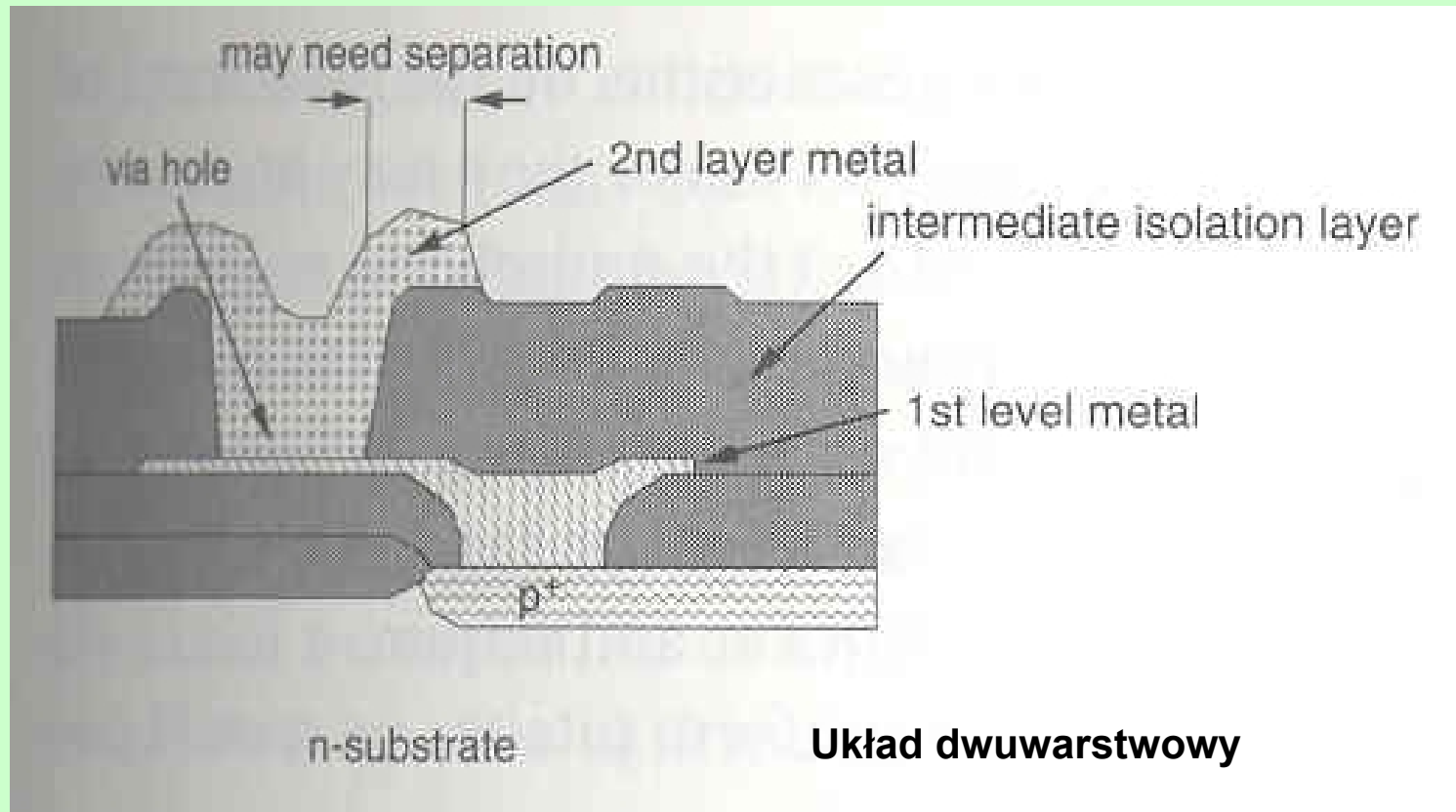
3) Brak „body-effect” ponieważ podłoże jest izolatorem

4) Nie występowanie efektu „luchup” dzięki izolowaniu tranzystorów typu n i p

Proces preferowany



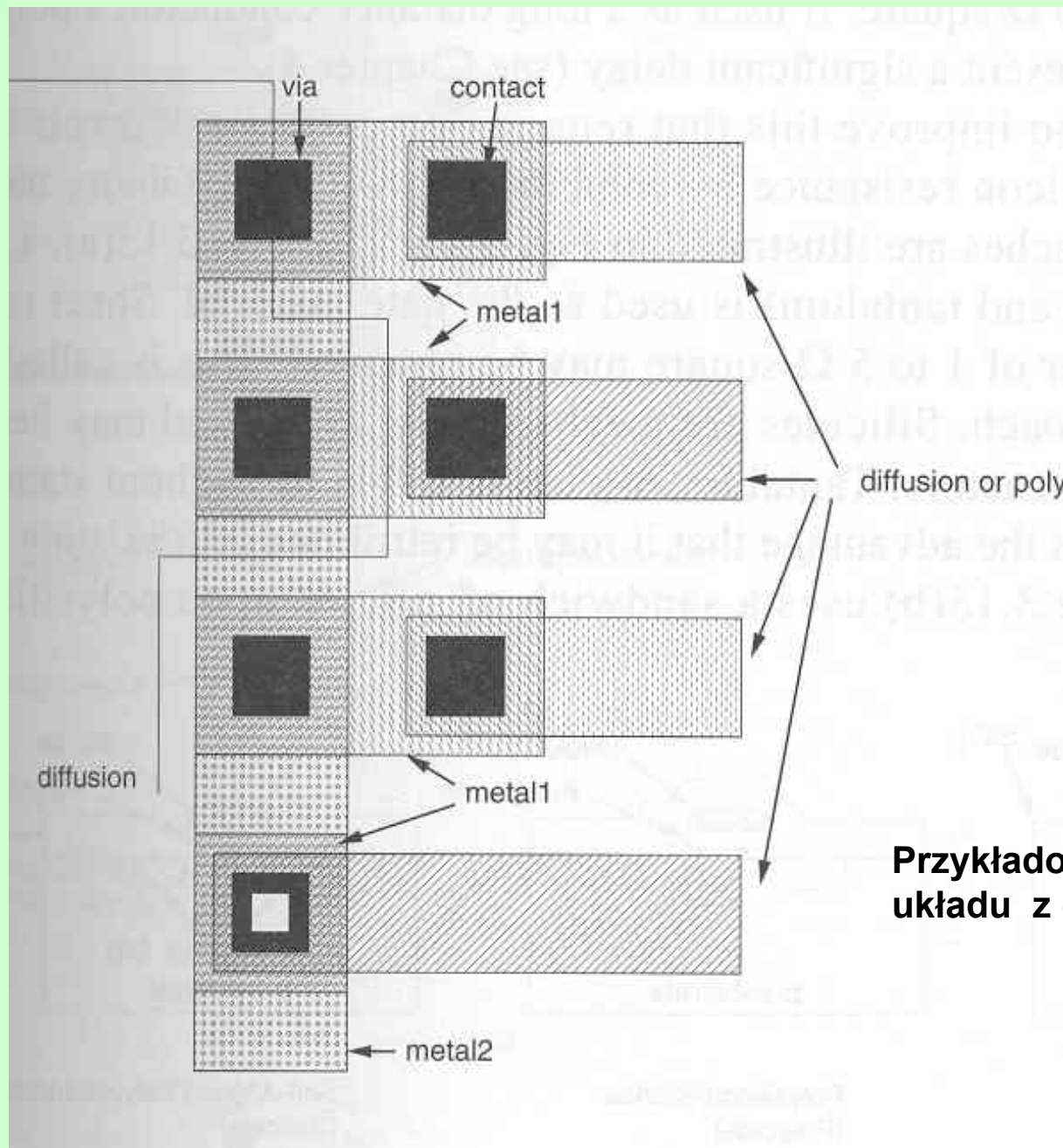
Układy z wielowarstwowymi metalizacjami



Popularne układy dwuwarstwowe

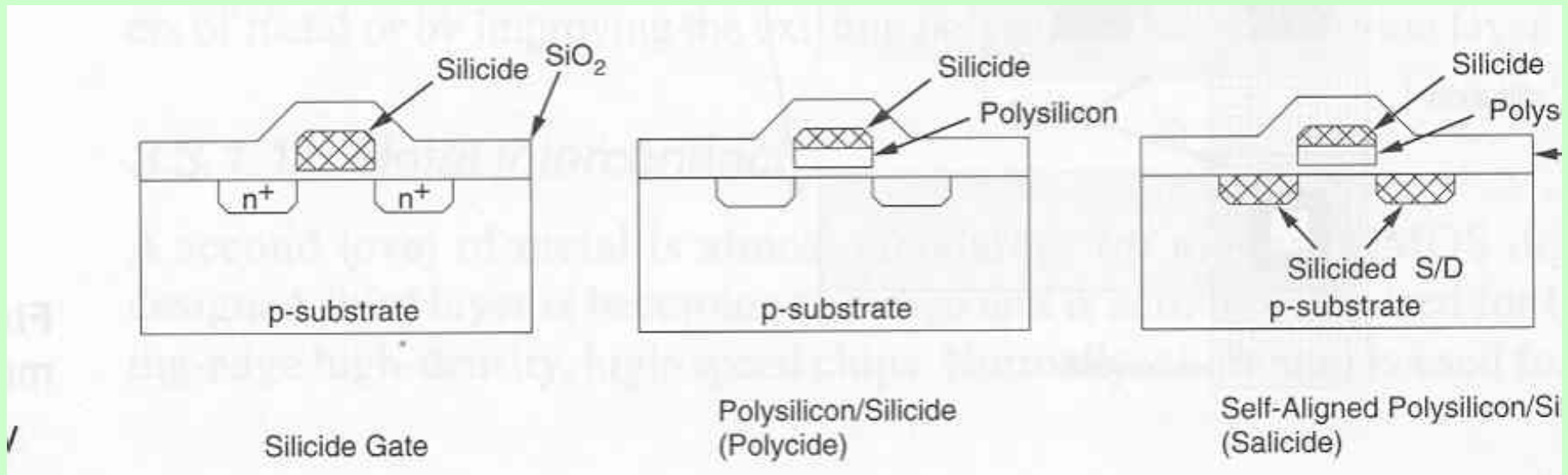
Rzadziej trzy warstwy

Układy dziesięciowarstwowe



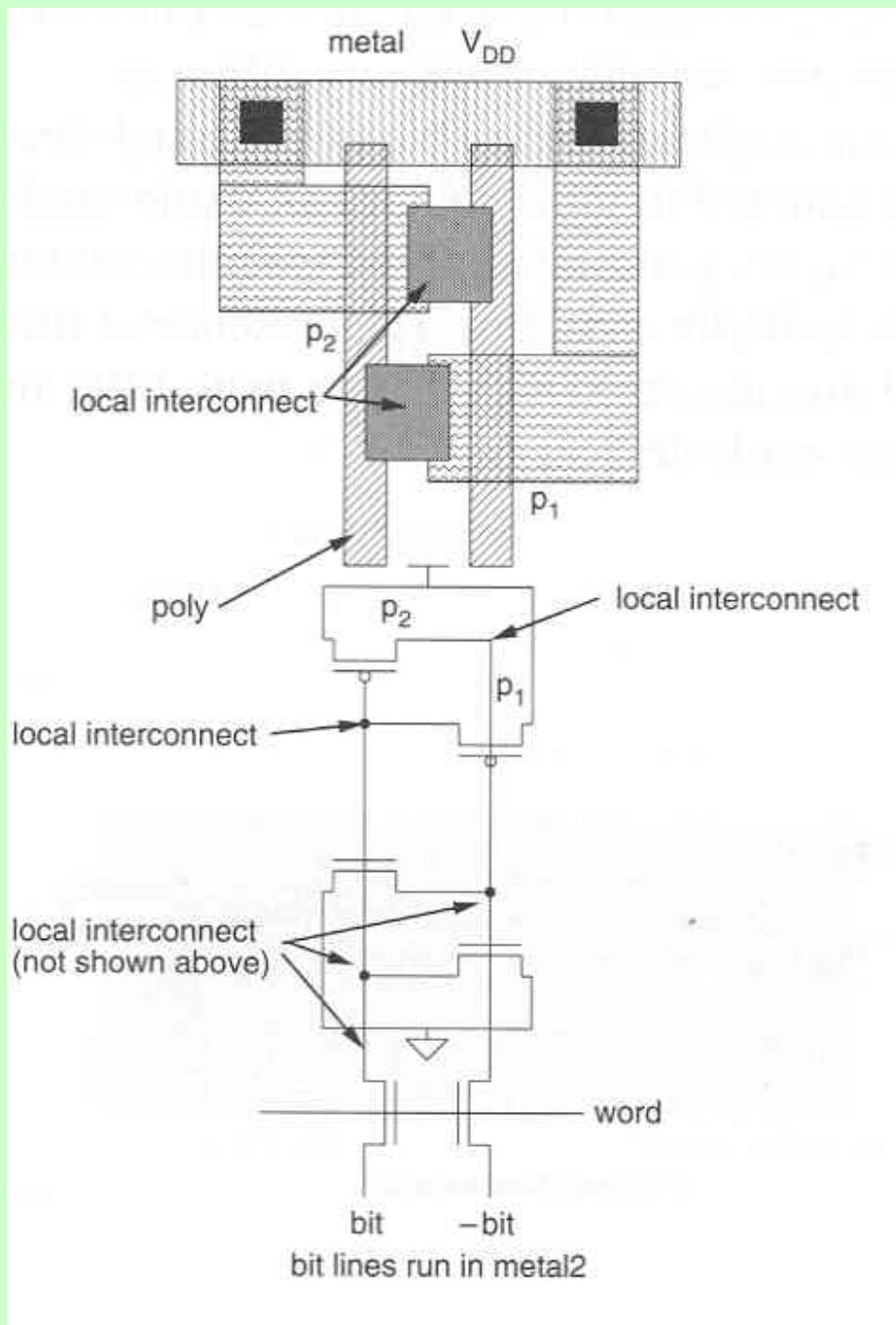
Przykładowy fragment topografii układu z dwupoziomową metalizacją

Zmniejszanie rezystancji polikrzemu



Rezystancja polikrzemu = $20 - 40 \Omega / \text{kwadrat}$

Zmniejszenie rezystancji: zastosowanie „usprawnionego” polikrzemu, zmieszanego np. z tantalem (silicide). Rezystancja = $1 - 5 \Omega / \text{kwadrat}$



Lokalne połączenia

Zastosowanie warstwy „silicide” do realizacji lokalnych połączeń, np. bramki z drenem (polikrzem z dyfuzją)

Takie rozwiązanie w pamięciach RAM może zredukować powierzchnię układu nawet o 30 %.

Elementy składowe układu/systemu

REZYSTORY

Polikrzem nie domieszkowany jest wysoce rezystywny. W szczególności ta własność wykorzystywana jest do budowy rezystorów w pamięciach statycznych.

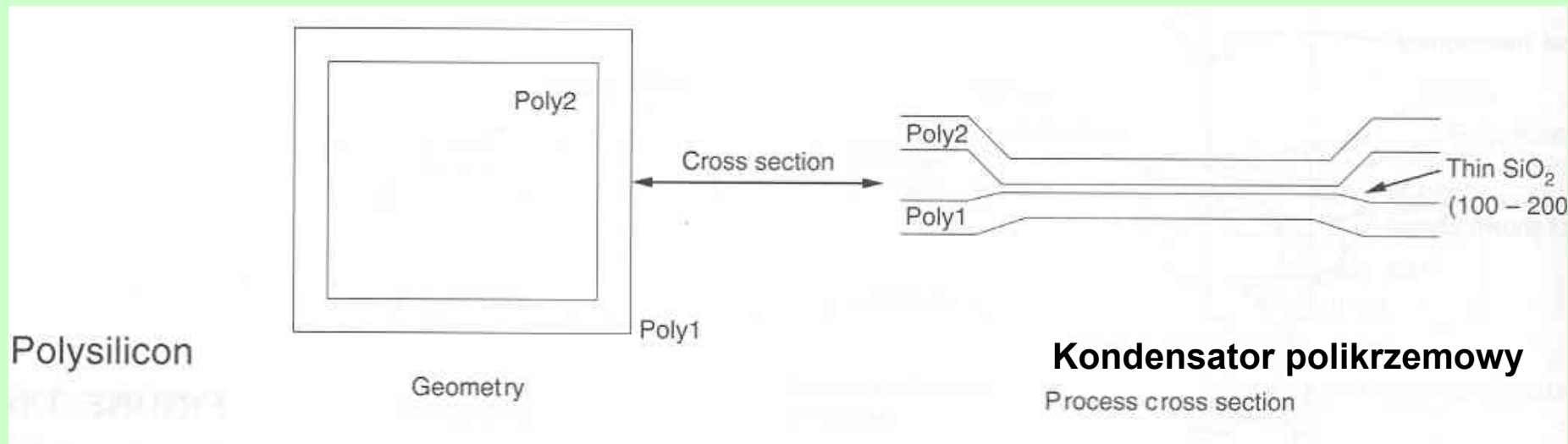
$R \approx 10^{12} \Omega$. To znaczy, że pamięć 1Mbit w stanie statycznym pobiera około 2 μA .

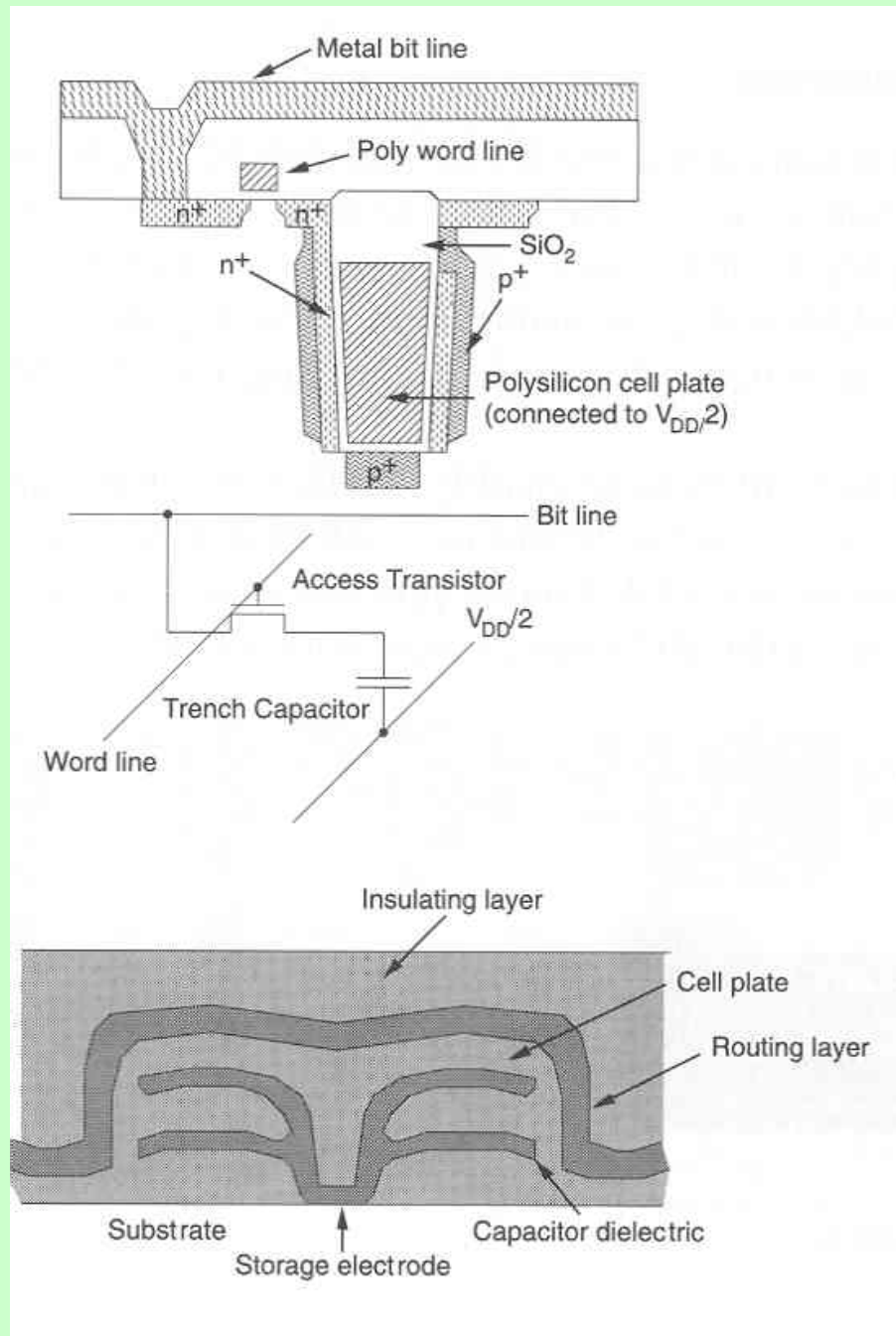
Dobra stałość temperaturowa rezystora polikrzemowego.

Problem: precyzja wykonania maski bezpośrednio rzutuje na wartość rezystancji.

KONDENSATORY

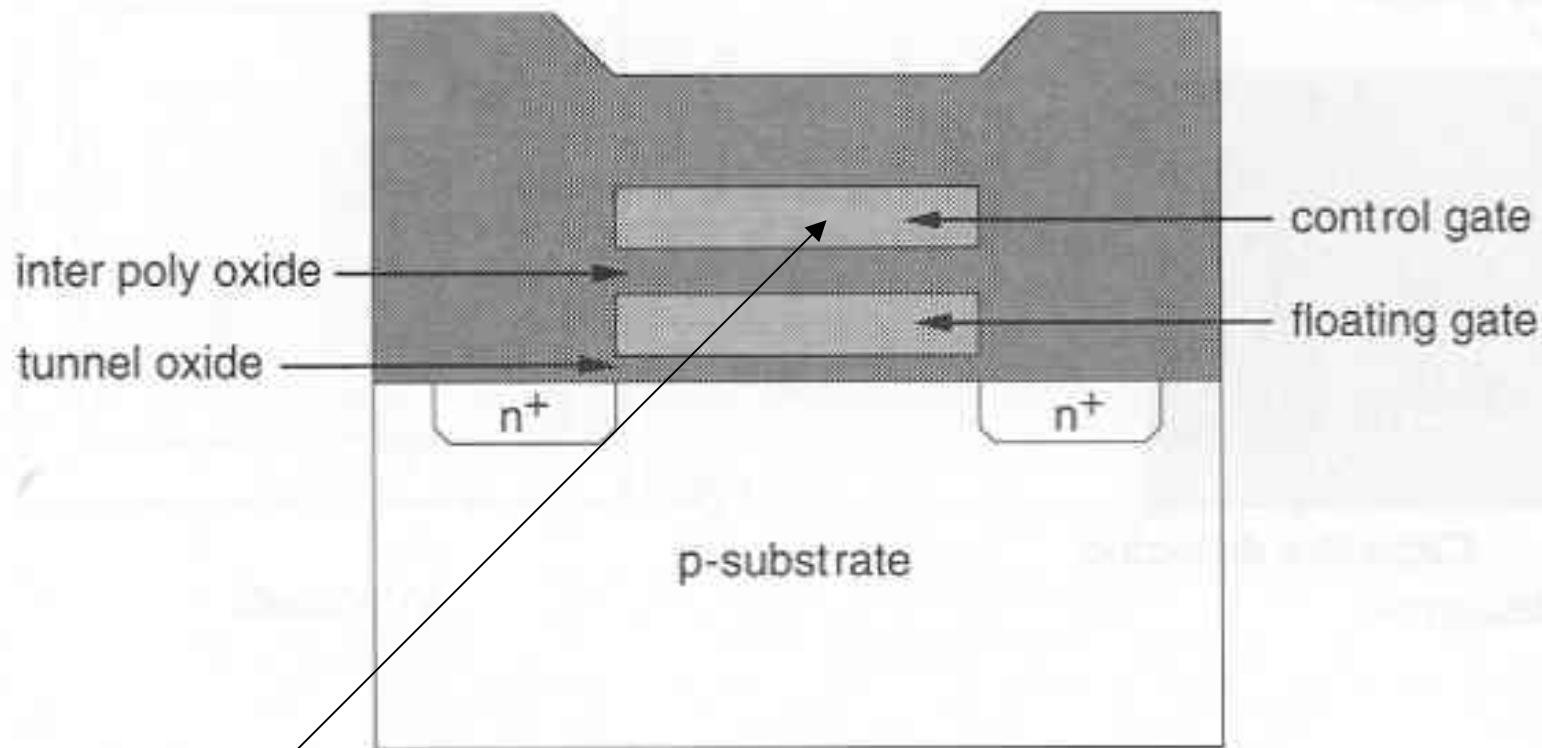
Powszechnie stosowane w pamięciach dynamicznych





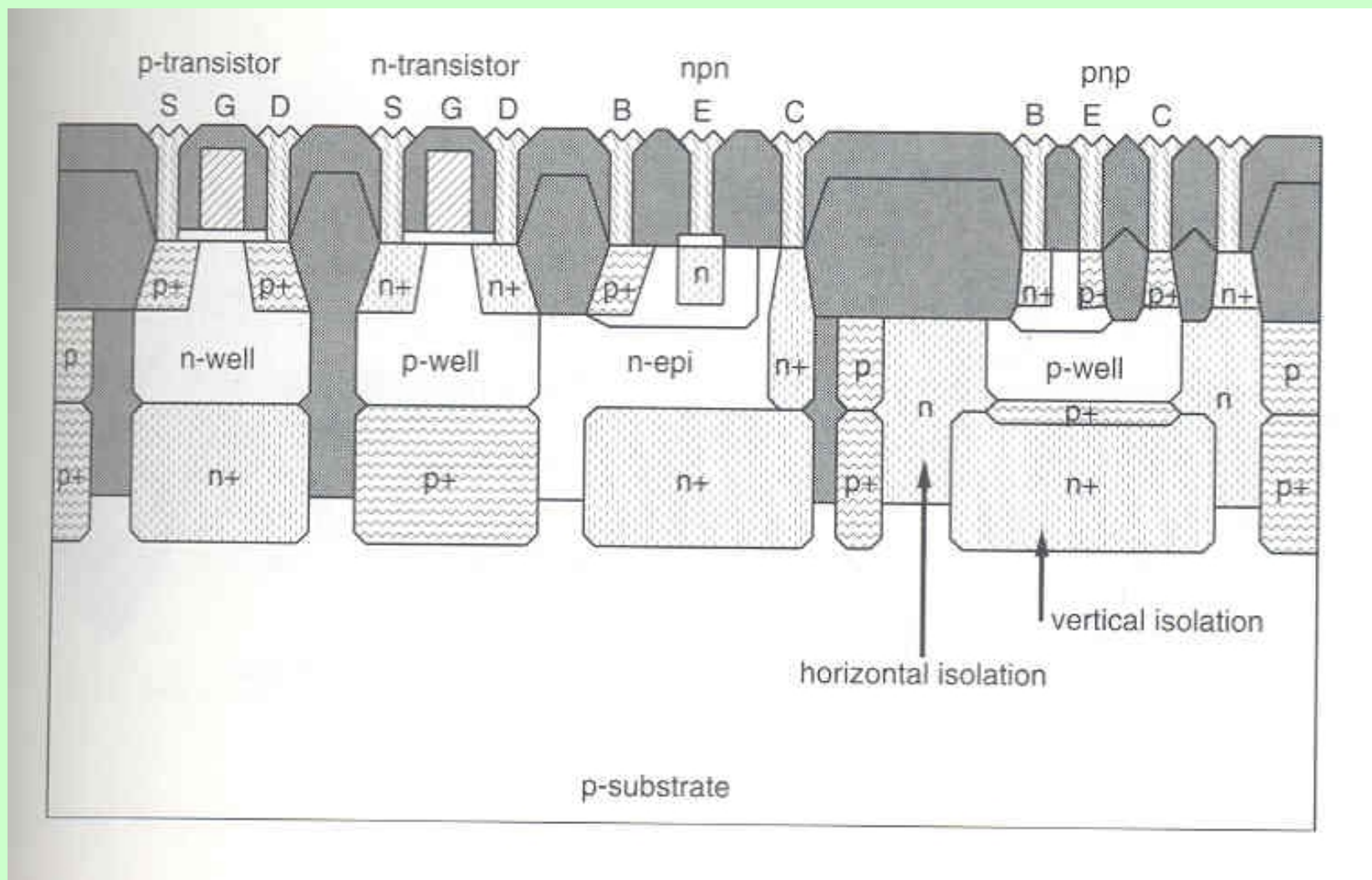
**Przykład budowy
kondensatorów pamięci
dynamicznych, $C = 20 - 30 \text{ fF}$**

Typowa budowa elementu pamięci EEPROM (electrically erasable ROM)

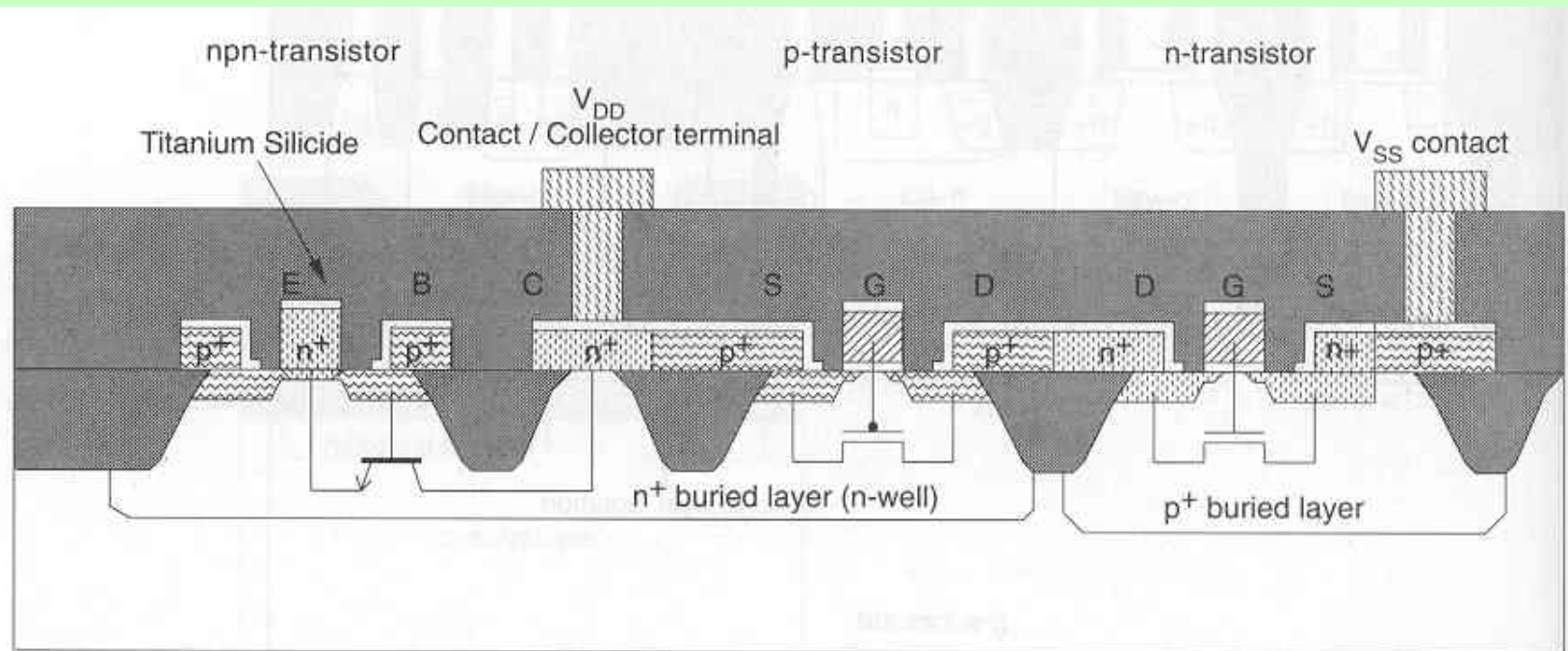


Dodanie dodatkowej warstwy polikrzemu „sterowalnej” napięciem lub światłem (UV)

Tranzystory bipolarne - proces BiCMOS



Proces analogiczny do CMOS

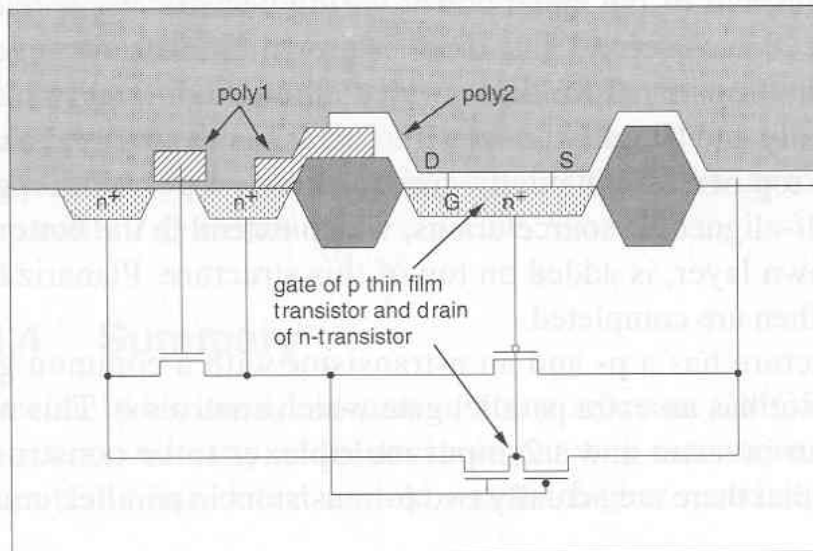
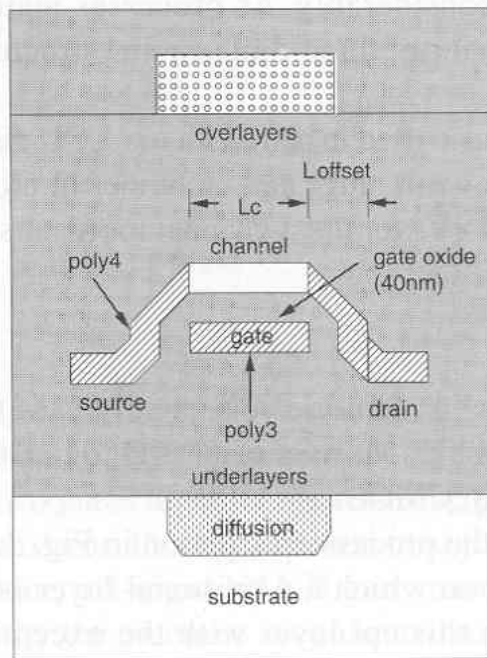


Przekrój cyfrowego układu BiCMOS

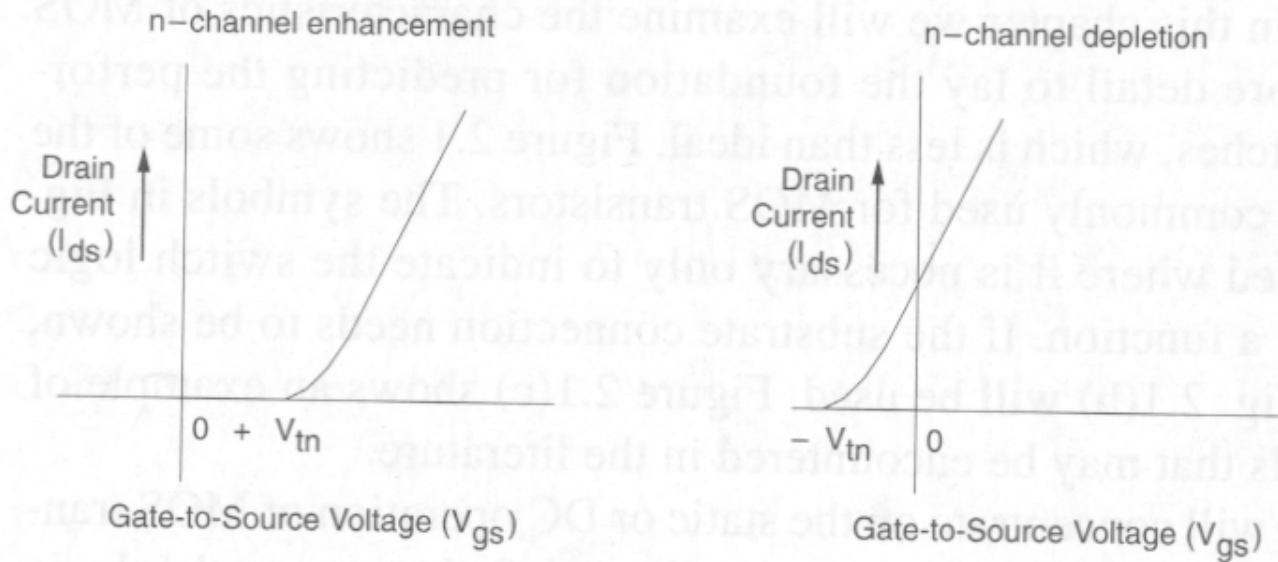
Dane tranzystora npn: wzmacnienie prądowe = 90, $f_T=15\text{GHz}$

Tranzystory cienkowarstwowe

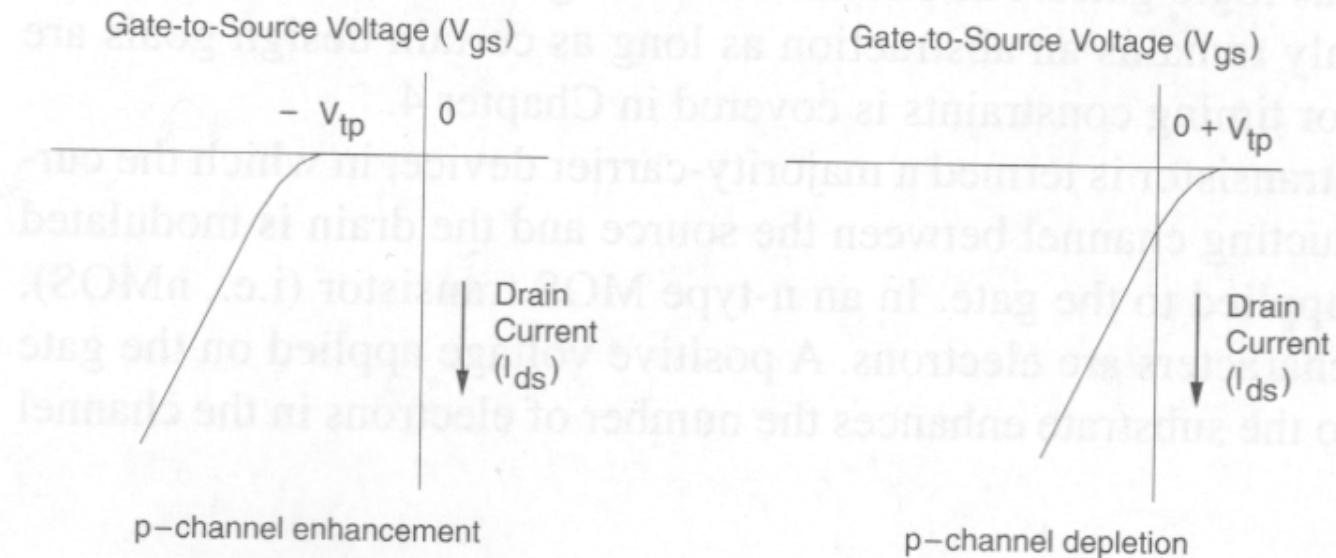
Zastosowanie: np. statyczne pamięci SRAM

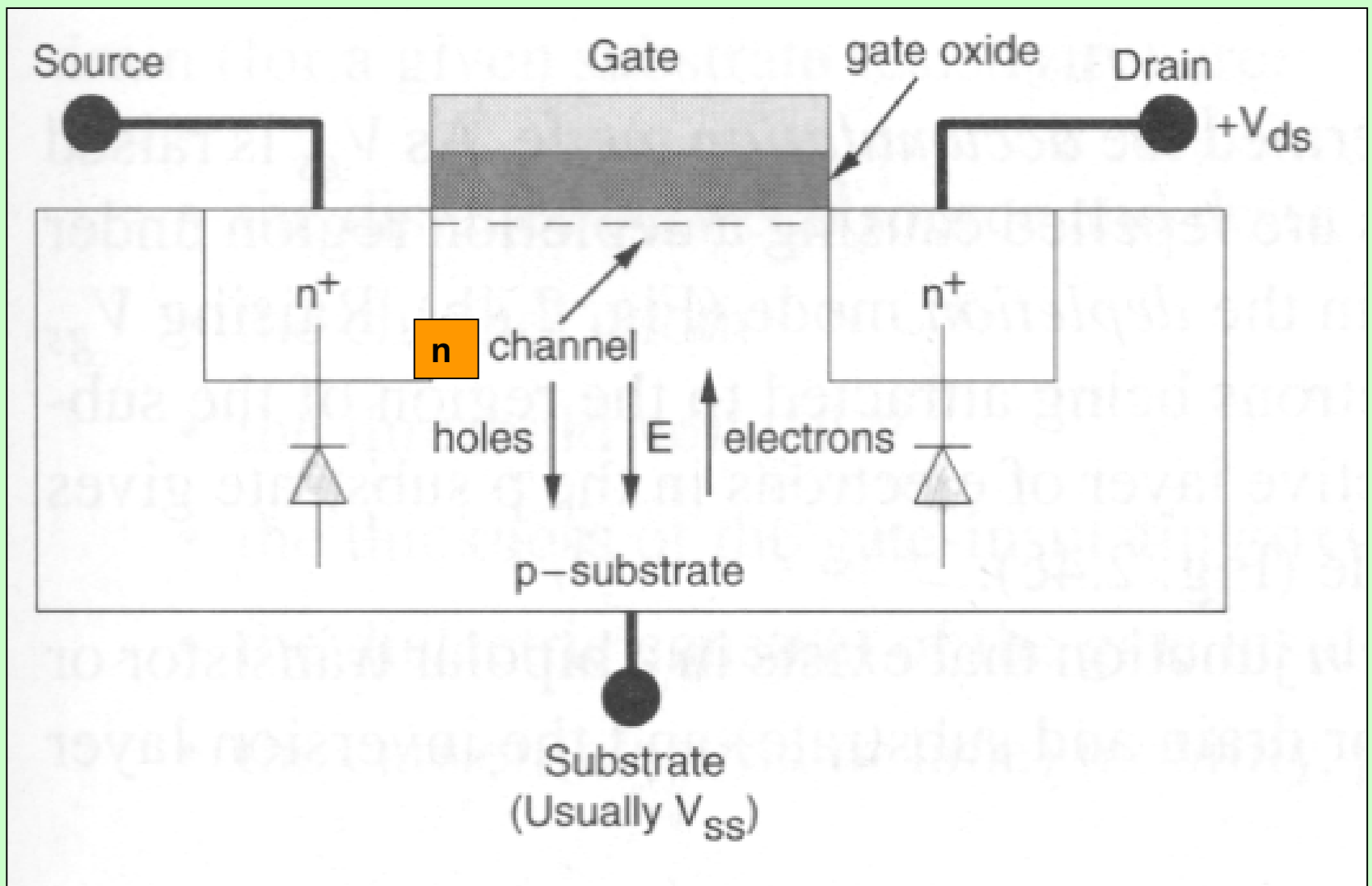


TEORIA TRANZYSTORÓW MOS

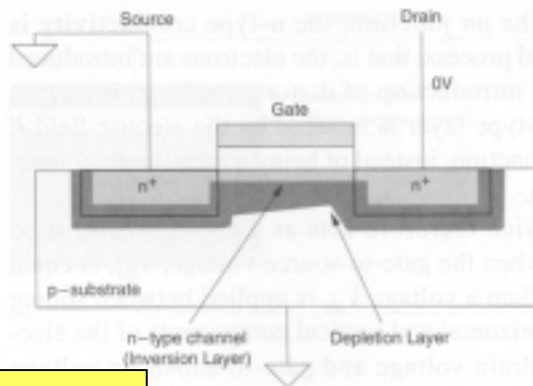


Charakterystyki statyczne



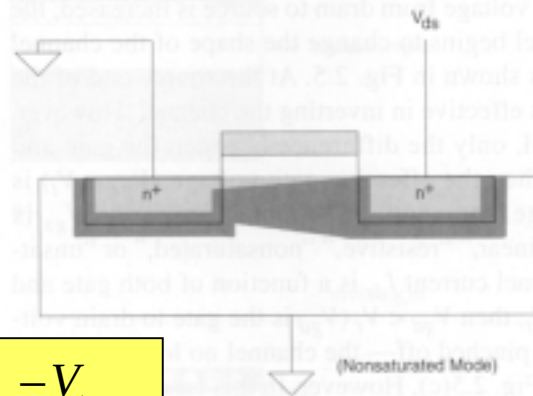


Aktywne podłoże, a napięcia polaryzacji złącz tranzystora wzbogacanego nMOS



Obszar odcięcia

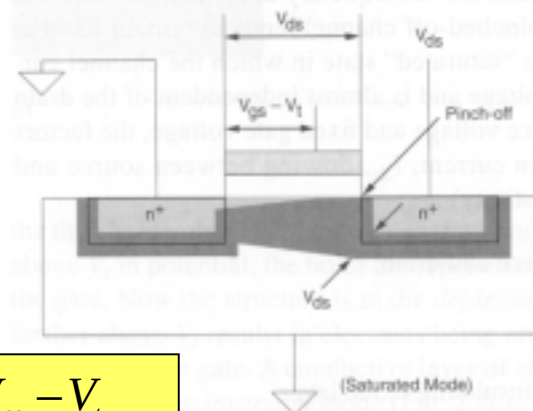
$$V_{gs} > V_t, \quad V_{ds} = 0$$



$$V_{ds} < V_{gs} - V_t$$

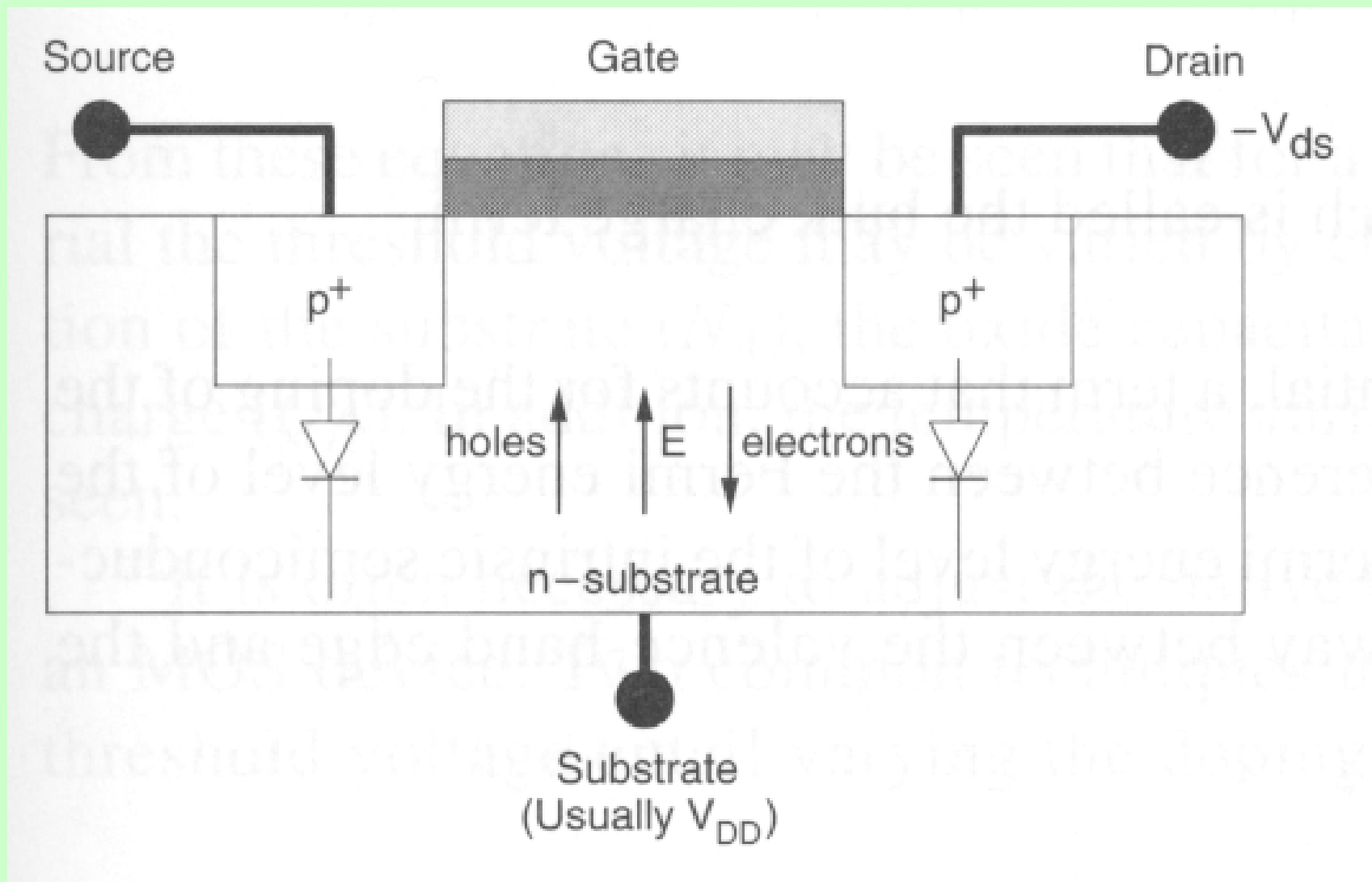
Obszar liniowy (omowy)

Kanał indukowany napięciem bramki $> V_t$.
Napięcie $V_{gs} - V_t > V_{ds}$ powoduje pogłębianie kanału, prowadzące do liniowej zależności prądu od napięcia.



$$V_{ds} > V_{gs} - V_t$$

Obszar nasycenia (źródło prądowe)



Budowa tranzystora pMOS

NAPIĘCIE PROGOWE V_t

Zależność od temperatury: $-4\text{mV}/^\circ\text{C}$ - dla wysokodomieszkowanego podłoża
 $-2\text{mV}/^\circ\text{C}$ - dla niskodomieszkowanego podłoża

$$V_t = V_{to} + V_{fb}$$

gdzie, V_{to} - idealne napięcie progowe (idealnego tranzystora MOS)

V_{fb} - składnik technologiczny

$$V_{to} = 2\phi_b + \frac{Q_b}{C_{ox}}$$

gdzie $\phi_b = \frac{kT}{q} \ln\left(\frac{N_A}{N_i}\right)$ – potencjał objętościowy, zależny od poziomu domieszkowania podłoża. Reprezentuje różnicę między poziomami energii Fermiego półprzewodnika domieszkowanego i naturalnego. N_A - gęstość nośników w domieszkowanym podłożu, N_i - gęstość nośników w niedomieszkowanym krzemie, k - stała Boltzmana, q - ładunek elektryczny, T - temperatura

$Q_b = \sqrt{2\varepsilon_{Si} q N_A 2\phi_b}$ - ładunek objętościowy, ε_{Si} - przenikalność dielektryczna krzemu

C_{ox} – pojemność „kondensatora” tlenkowego

Składnik technologiczny V_{fb}

$$V_{fb} = \phi_{ms} - \frac{Q_{fc}}{C_{ox}}$$

gdzie $\phi_{ms} = f(\phi_g - \phi_{Si})$ - funkcja różnicy potencjałów podłoża i materiału bramki

$$\phi_{ms} = -\left(\frac{E_g}{2} + \phi_b\right), \quad E_g - \text{potencjał definiujący przerwę energetyczną krzemu}$$

$$\phi_{ms} = -0.9V \text{ dla podłoża typu p i } -0.2V \text{ dla podłoża typu n.}$$

Q_{fc} - ładunek wynikający z niedokładności wykonania złącza i domieszkowania.

Wniosek Dla określonych materiałów podłoża i bramki napięcie progowe może zmieniać się ze zmianami koncentracji domieszek, pojemności bramki (C_{ox}) i ładunkiem powierzchniowym Q_{fc} .

Wszystkie wymienione przyczyny są zależne od temperatury

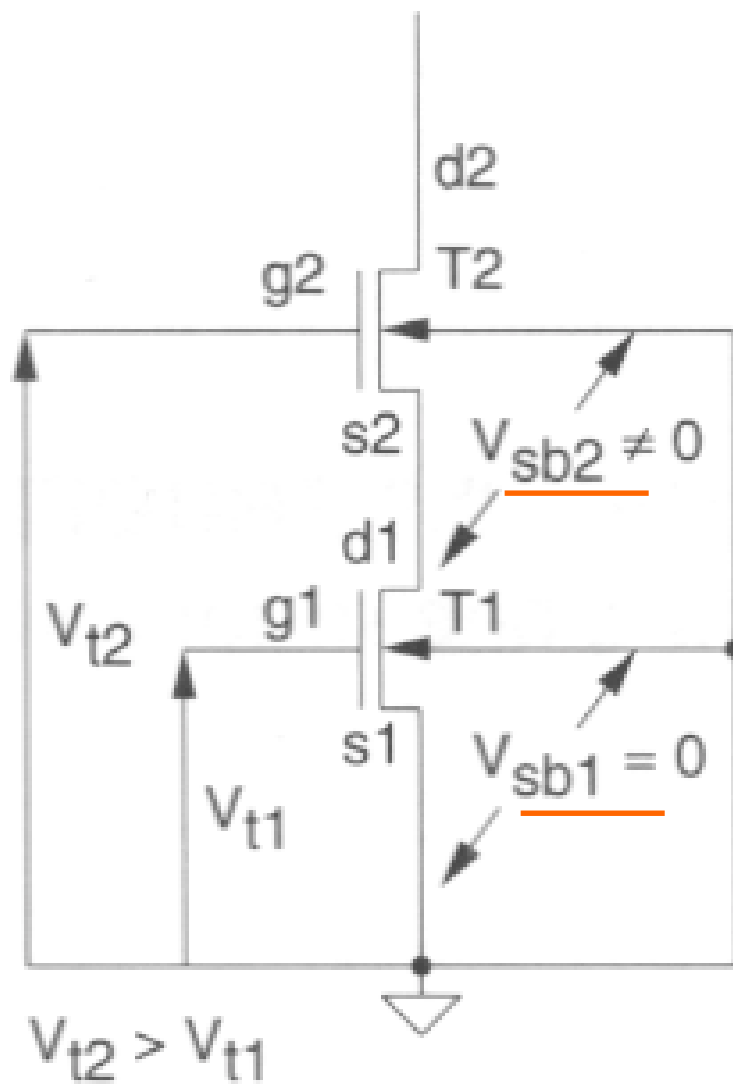
Przykład Obliczyć napięcie progowe tranzystora z kanałem typu n w temperaturze 300 degK, podłoże krzemowe, $N_A = 1.8 \times 10^{16}$, grubość tlenku bramki $200 \text{ \AA}$. Otrzymujemy:

$$\phi_b = 0.36V$$

$$C_{ox} = 172.5 nF / cm^2$$

$$V_t = 0.16V$$

EFEKT OBJĘTOŚCIOWY (BODY EFFECT)



UPROSZCZONY MODEL MATEMATYCZNY TRANZYSTORA MOS (Shockley)

1) Obszar odcięcia

$$I_{ds} = 0, \quad V_{gs} \leq V_t$$

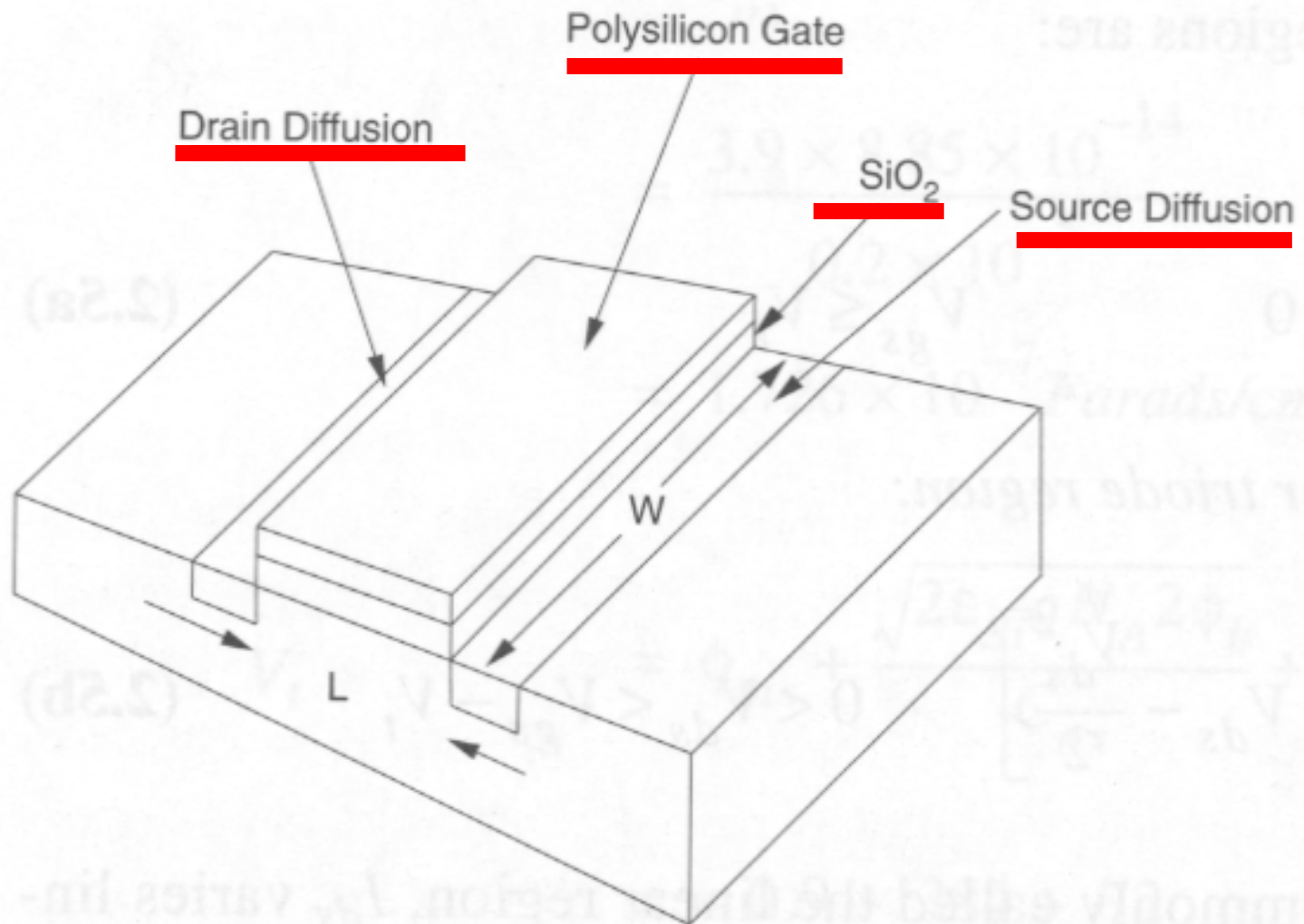
2) Obszar nienasycony (liniowy, triodowy, omowy)

$$I_{ds} = \beta \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right], \quad 0 < V_{ds} < V_{gs} - V_t, \quad \frac{V_{ds}^2}{2} \ll V_{gs} - V_t$$

3) Obszar nasycenia

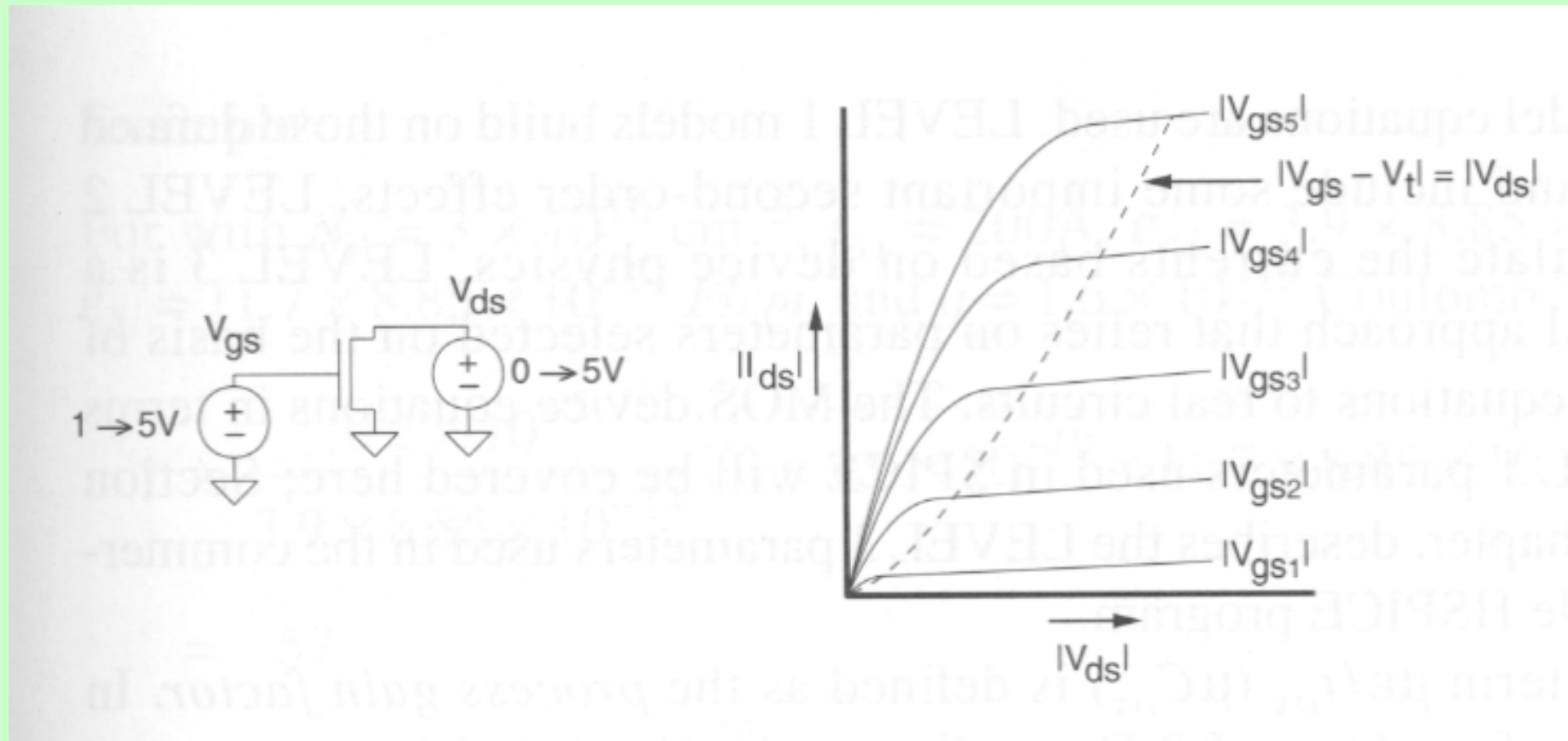
$$I_{ds} = \beta \frac{(V_{gs} - V_t)^2}{2}, \quad 0 < V_{gs} - V_t < V_{ds}$$

gdzie, $\beta = \frac{\mu \varepsilon}{t_{ox}} \left(\frac{W}{L} \right)$ μ - powierzchniowa ruchliwość nośników w kanale,
 ε - przenikalność izolatora bramki, t_{ox} - grubość izolatora bramki, W/L - następne przeźrocze



Schemat geometrii modelu Shockley'a

Charakterystyki prądowo-napięciowe modelu Shockley'a



Przykład Tranzystor typu n (kanał typu n). Typowy prąd drenu = $1\mu A$, dane fizyczne:

$$\mu_n = 500 \text{ cm}^2/Vs, \quad \epsilon = 3.9 \epsilon_0 = 3.9 \times 8.85 \times 10^{-14} \text{ F/cm}, \quad t_{ox} = 200 \text{ \AA}.$$

Czyli wartość
$$\beta = \frac{500 \cdot 3.9 \cdot 8.85 \cdot 10^{-14}}{0.2 \cdot 10^{-5}} \frac{W}{L} = 88.5 \frac{W}{L} \mu A/V^2$$

Analogicznie oblicza się współczynnik wzmocnienia dla tranzystora typu p. $\mu_p = 180$, $\beta = 32$

EFEKTY DRUGIEGO RZĘDU, A SYMULACJA KOMPUTEROWA

Poziomy **SPICE**

LEVEL 1 - w oparciu o równanie Shockley'a

LEVEL 2 - w oparciu o modele fizyczne

LEVEL 3 - w oparciu o „dopasowanie” charakterystyk modelu do charakterystyk fizycznych.

EFEKTY DRUGIEGO RZĘDU

Napięcie progowe modulowane napięciem podłoże-źródło

$$V_t = V_{fb} + 2\phi_b + \frac{\sqrt{2\varepsilon_{Si} q N_A (2\phi_b + |V_{sb}|)}}{C_{ox}}$$



Człon modyfikujący

lub inaczej

$$V_t = V_0 + \gamma [\sqrt{(2\phi_b + |V_{sb}|)} - \sqrt{2\phi_b}]$$

gdzie V_0 - jest napięciem V_t , przy założeniu, że $V_{bs}=0$.

γ - stała opisująca omawiany efekt (parametr SPICE),

$\gamma = 0.4-1.2$

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\varepsilon_{Si} N_A}$$

W SPICE parametr γ nazywany jest GAMMA, a parametr V_0 - VTO, N_A - NSUB, $2\Phi_b$ - PHI

Przykład

Dla danych tranzystora MOS: $N_A = 3 \times 10^{16} \text{ cm}^{-3}$, $t_{\text{ox}} = 200 \text{ \AA}$, $\epsilon_{\text{ox}} = 3.9 \times 8.85 \times 10^{-14} \text{ F/cm}$,
 $\epsilon_{\text{Si}} = 11.7 \times 8.85 \times 10^{-14} \text{ F/cm}$, $q = 1.6 \times 10^{-19} \text{ C}$

Obliczamy: $\gamma = 0.57$, $\Phi_b = 0.375 \text{ V}$

Dla napięcia $V_{\text{sb}} = 2.5 \text{ V}$, otrzymujemy $V_{\text{t}2.5} = V_{\text{t}0} + 0.53 \text{ V}$

Wniosek Wzrasta napięcie progowe, a tym samym maleje prąd i maleje prędkość układu.

Obszar podprogowy (subthreshold region)

W obszarze, gdzie napięcie bramki V_{gs} jest mniejsze od napięcia progowego V_t prąd drenu wzrasta eksponencjalnie ze wzrostem napięcia bramki i/lub drenu, jakkolwiek pozostaje bardzo mały.

$$I_d = f_{\text{exp}}(V_{\text{gs}}, V_{\text{ds}})$$

To zjawisko wykorzystuje się w elektronice bardzo małych mocy.

Odpowiedni model SPICE - poziom3.

Modulacja długości kanału

Uwzględnia się wpływ napięcia źródło - dren na długość kanału.
To zjawisko jest szczególnie widoczne w tranzystorach o bardzo krótkich kanałach.
W obszarze nasycenia obowiązuje zależność

$$L_{eff} = L - L_{short}$$

gdzie

$$L_{short} = \sqrt{2 \frac{\epsilon_{Si}}{qN_A} (V_{ds} - (V_{gs} - V_t))}$$

Redukcja długości L powoduje wzrost współczynnika W/L, a w konsekwencji wzrost współczynnika wzmocnienia. Ostatecznie wzrost prądu drenu można zapisać jako:

$$I_{ds} = \beta \frac{(V_{gs} - V_t)^2}{2} (1 + \lambda V_{ds})$$

gdzie

λ - współczynnik empiryczny modulacji długości kanału,

$\lambda = 0.005 - 0.02 \text{ V}^{-1}$.

W SPICE parametr LAMBDA (level 1)

Zmiana ruchliwości nośników

Ruchliwość nośników definiuje się następująco

$$\mu = \frac{V[cm^2 / Vs]}{E[V / cm]}$$

V - średnia prędkość dryftu, E - natężenie pola elektrycznego.

W SPICE μ nazywa się UO.

Znaczny wpływ na wartość UO posiadają: stopień domieszkowania i temperatura.

Tunelowanie Fowlera i Norgheima

Występuje w tranzystorach o bardzo cienkiej izolacji bramkowej. Prąd może przepływać z bramki do źródła lub drenu i opisany jest wzorem empirycznym

$$I_{FN} = CWLE_{ox}^2 \exp(-E_0 / E_{ox})$$

gdzie $E_{ox} \approx \frac{V_{gs}}{t_{ox}}$ - natężenie pola elektrycznego wzdłuż tlenku bramki, E_0 , C - stałe.

Ten efekt ogranicza grubość tlenku bramki. Wykorzystywany w układach programowalnych.

Przebicie drenu

Duże napięcie dren - źródło może powodować przebicie.
Nie występuje w układach niskonapięciowych.

Gorące elektrony (jonizacja uderzeniowa)

Ze zmniejszaniem się powierzchni i długości bramki L pole elektryczne pomiędzy bramką, a drenem wzrasta. Pojawia się możliwość tunelowego przeskoku elektronów z obszaru wysokoenergetycznego („gorących elektronów”). Zderzenia z drenem powodują wyzwolenie jonów dodatnich i przepływ prądu drenu na skutek uderzeniowej jonizacji. W konsekwencji może wystąpić uszkodzenie tranzystora.

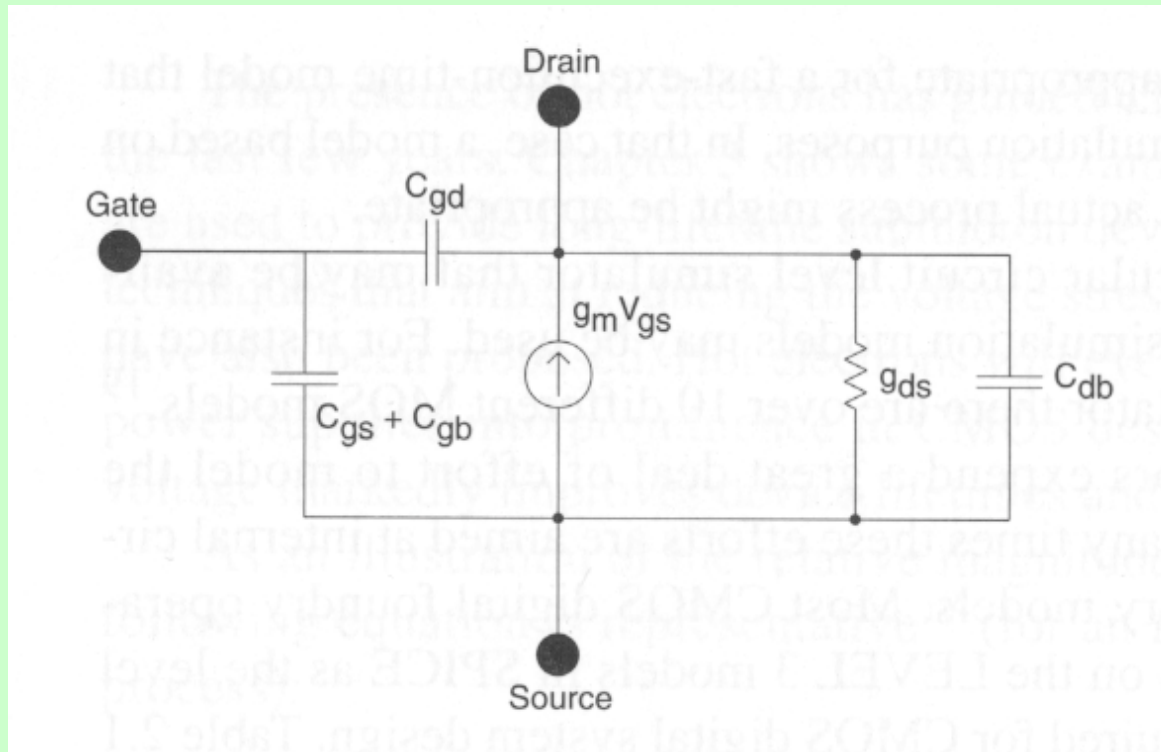
Przykładowe parametry modelu tranzystora w programie SPICE

Table 2.1 SPICE DC Parameters

Parameter	nMOS	pMOS	Units	Description
VTO	0.7	0.7	volt	Threshold voltage
KP	8×10^{-5}	2.5×10^{-5}	A/V^2	Transconductance coefficient
GAMMA	.4	.5	$V^{0.5}$	Bulk threshold parameter
PHI	.37	.36	volt	Surface potential at strong inversion
LAMBDA	.01	.01	$volt^{-1}$	Channel length modulation parameter
LD	0.1×10^{-6}	0.1×10^{-6}	meter	Lateral diffusion
TOX	2×10^{-8}	2×10^{-8}	meter	Oxide thickness
NSUB	2×10^{16}	4×10^{16}	$1/cm^3$	Substrate doping density

MODELE TRANZYSTORA MOS

Model małosygnałowy AC ($V_{sb}=0$)



Na podstawie równań Shockley'a wylicza się parametry modelu:

Dla obszaru liniowego

$$g_{ds} = \beta[(V_{gs} - V_t) - 2V_{ds}]$$

Jeśli V_{ds} zmierza do zera, to

$$g_{ds} = \beta(V_{gs} - V_t)$$

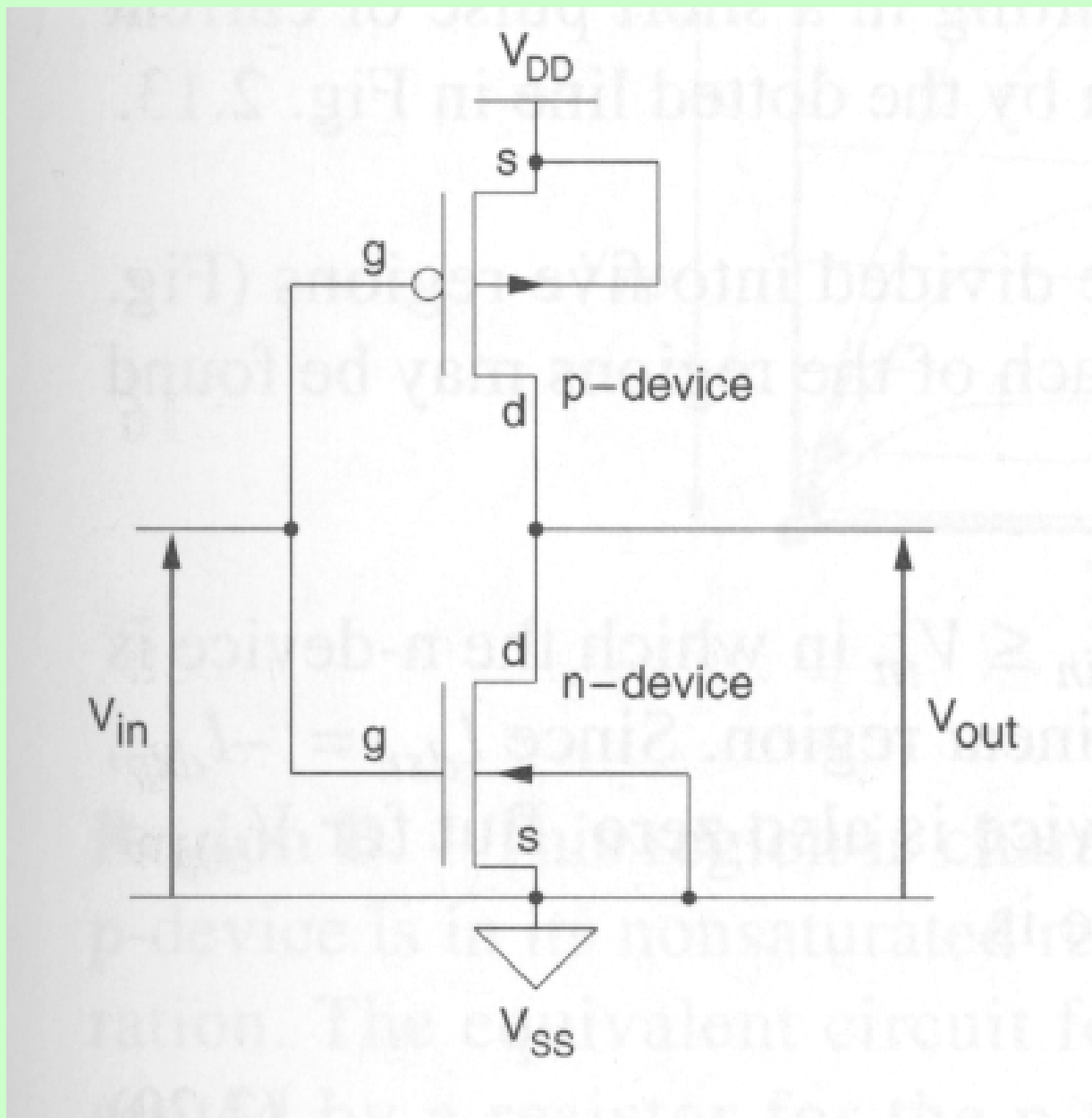
Transkonduktancja

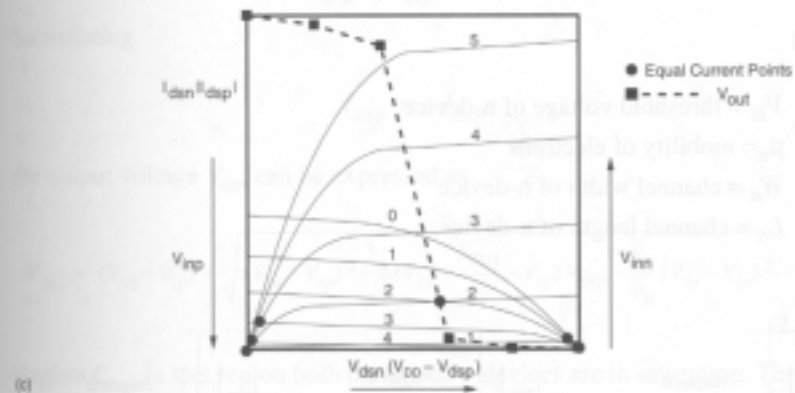
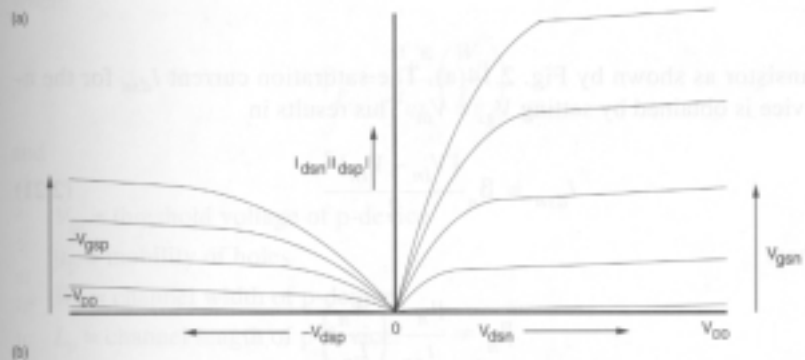
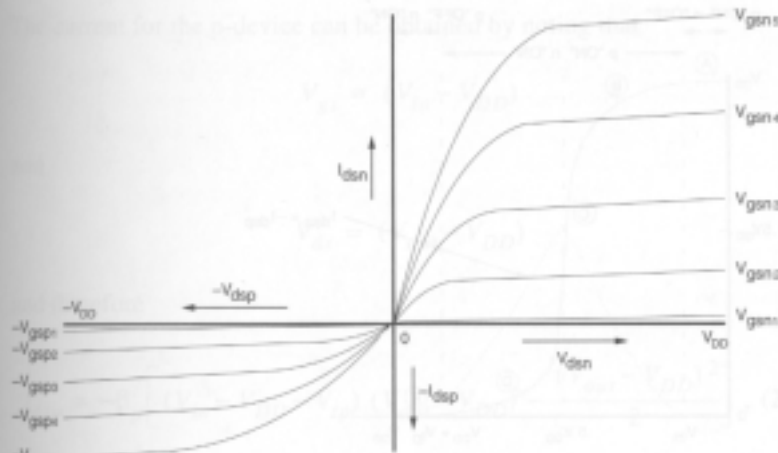
$$g_m = \frac{dI_{ds}}{dV_{gs}}, V_{ds} = const.$$

Dla obszaru liniowego $g_{m(linear)} = \beta V_{ds}$

Dla obszaru nasycenia $g_{m(sat)} = \beta(V_{gs} - V_t)$

CHARAKTERYSTYKI STAŁOPRĄDOWE INWERTERA CMOS



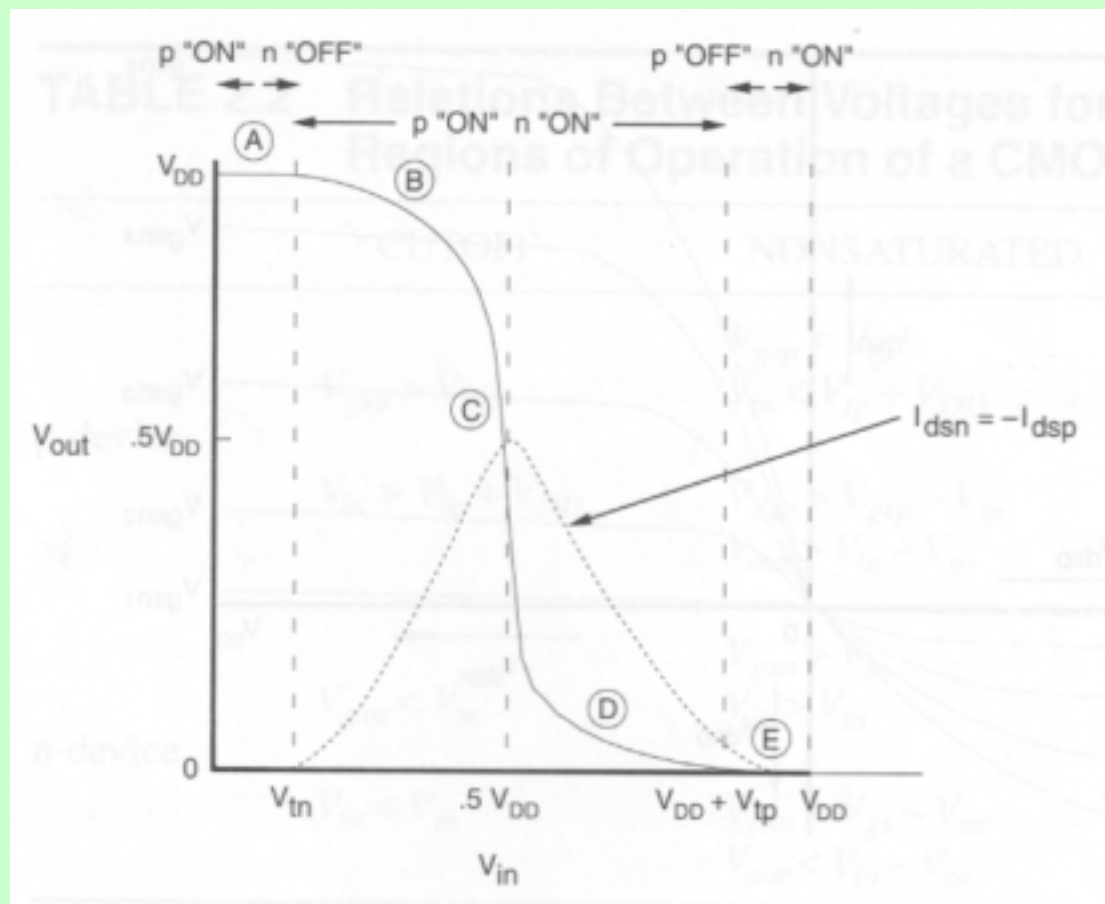


Charakterystyki statyczne komplementarnych tranzystorów inwertera

Odbicie zwierciadlane „dolnych krzywych” względem osi x.

Punkty wspólne charakterystyk obu tranzystorów wyznaczają charakterystykę *input/output*

Charakterystyka przejścia inwertera CMOS z zaznaczonymi obszarami pracy



Obszar **A** - $0 \leq V_{in} \leq V_{tn}$ tranzystor typu n jest odcięty (cut off), $I_{dsn} = 0$, tranzystor p jest w obszarze liniowym. Ponieważ $I_{dsn} = -I_{dsp}$, to prąd drenu tranzystora typu p równa się zero. Lecząc dla $V_{dsp} = V_{out} - V_{DD}$ i $V_{dsp} = 0$ mamy: $V_{out} = V_{DD}$

Obszar **B** - $V_{tn} \leq V_{in} \leq V_{DD}/2$, tranzystor p jest w obszarze nienasyconym ($V_{ds} \neq 0$) , podczas gdy tranzystor typu n jest w stanie nasycenia. Prąd nasycenia I_{dsn} tranzystora typu n można obliczyć podstawiając $V_{gs} = V_{in}$

$$I_{dsn} = \beta_n \frac{[V_{in} - V_{tn}]^2}{2}$$

Prąd I_{dsp} może być obliczony, podstawiając

$$V_{gs} = V_{in} - V_{DD}$$

$$V_{ds} = V_{out} - V_{DD}$$

$$I_{dsp} = -\beta_p [(V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2}]$$

Podstawiając

$$I_{dsp} = -I_{dsn}$$

Otrzymujemy

$$V_{out} = (V_{in} - V_{tp}) + \sqrt{(V_{in} - V_{tp})^2 - 2(V_{in} - \frac{V_{DD}}{2} - V_{tp})V_{DD} - \frac{\beta_n}{\beta_p}(V_{in} - V_{tn})^2}$$

Obszar **C**- Oba tranzystory są w stanie nasycenia (źródła prądowe).

Prądy nasycenia obu tranzystorów:

$$I_{dsp} = -\frac{\beta_p}{2}(V_{in} - V_{DD} - V_{tp})^2$$

$$I_{dsn} = -\frac{\beta_n}{2}(V_{in} - V_{tn})^2$$

$$I_{dsp} = -I_{dsn}$$

Otrzymujemy

$$V_{in} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

Podstawiając

$$\beta_n = \beta_p \quad \text{i} \quad V_{tn} = -V_{tp}$$

Mamy

$$V_{in} = \frac{V_{DD}}{2}$$

Obszar **D** - Tranzystor typu p jest nasycony, podczas gdy tranzystor typu n pracuje w obszarze liniowym. W tym obszarze mamy: $V_{DD}/2 < V_{in} < V_{DD} + V_{tp}$
Natężenia prądów obu tranzystorów:

$$I_{dsp} = \frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{tp})^2$$

$$I_{dsn} = \frac{1}{2} \beta_n [(V_{in} - V_{tn})V_{out} - \frac{V_{out}^2}{2}]$$

Przy założeniu, że $I_{dsp} = -I_{dsn}$ otrzymujemy

$$V_{out} = (V_{in} - V_{tn}) - \sqrt{(V_{in} - V_{tn})^2 - \frac{\beta_p}{\beta_n} (V_{in} - V_{DD} - V_{tp})^2}$$

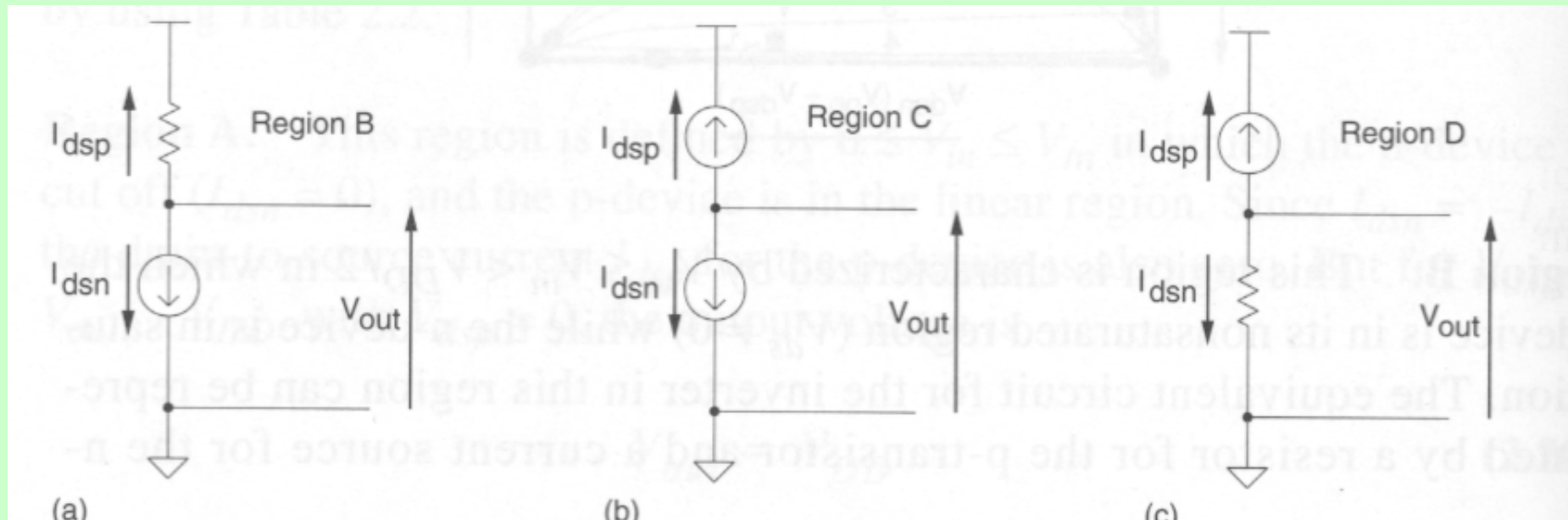
Obszar **E** - Tranzystor typu p jest odcięty, tranzystor typu n jest w obszarze liniowym.
Na wyjściu mamy

$$V_{out} = 0$$

Streszczenie opisu obszarów charakterystycznych

REGION	CONDITION	p-device	n-device	OUTPUT
A	$0 \leq V_{in} < V_{tn}$	nonsaturated	cutoff	$V_{out} = V_{DD}$
B	$V_{tn} \leq V_{in} < \frac{V_{DD}}{2}$	nonsaturated	saturated	Eq. (2.23)
C	$V_{in} = \frac{V_{DD}}{2}$	saturated	saturated	$V_{out} \neq f(V_{in})$
D	$\frac{V_{DD}}{2} < V_{in} \leq V_{DD} - V_{tp} $	saturated	nonsaturated	Eq. (2.27)
E	$V_{in} > V_{DD} - V_{tp} $	cutoff	nonsaturated	$V_{out} = V_{SS}$

Obwody równoważne dla obszarów pracy



Wpływ stosunku $\frac{\beta_n}{\beta_p}$ i $\frac{W_n}{W_p}$ na kształt charakterystyk przejścia inwertera

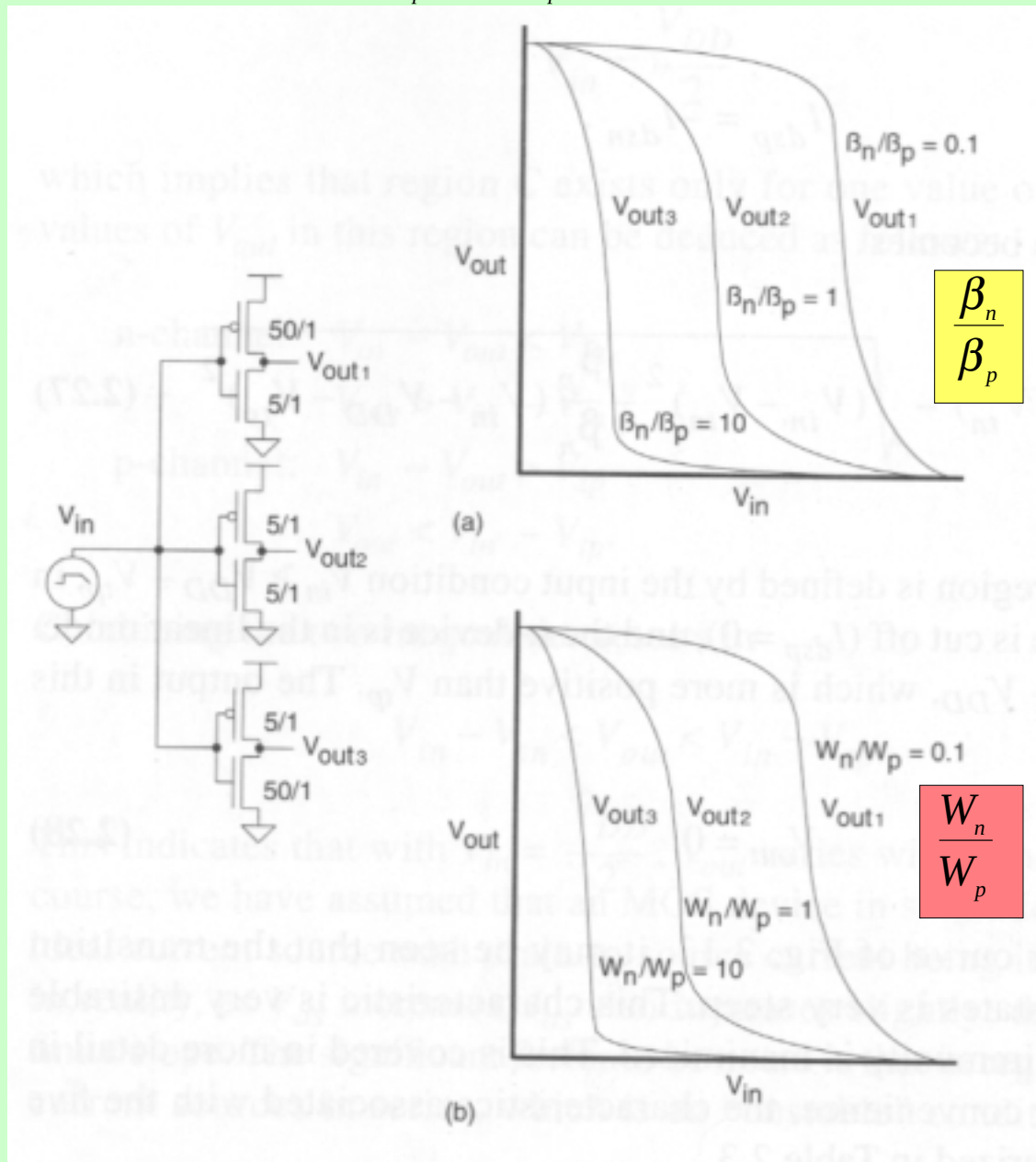
Ze wzrostem temperatury maleje ruchliwość ładunków.

$$\mu = \beta \alpha T^{-1.5}$$

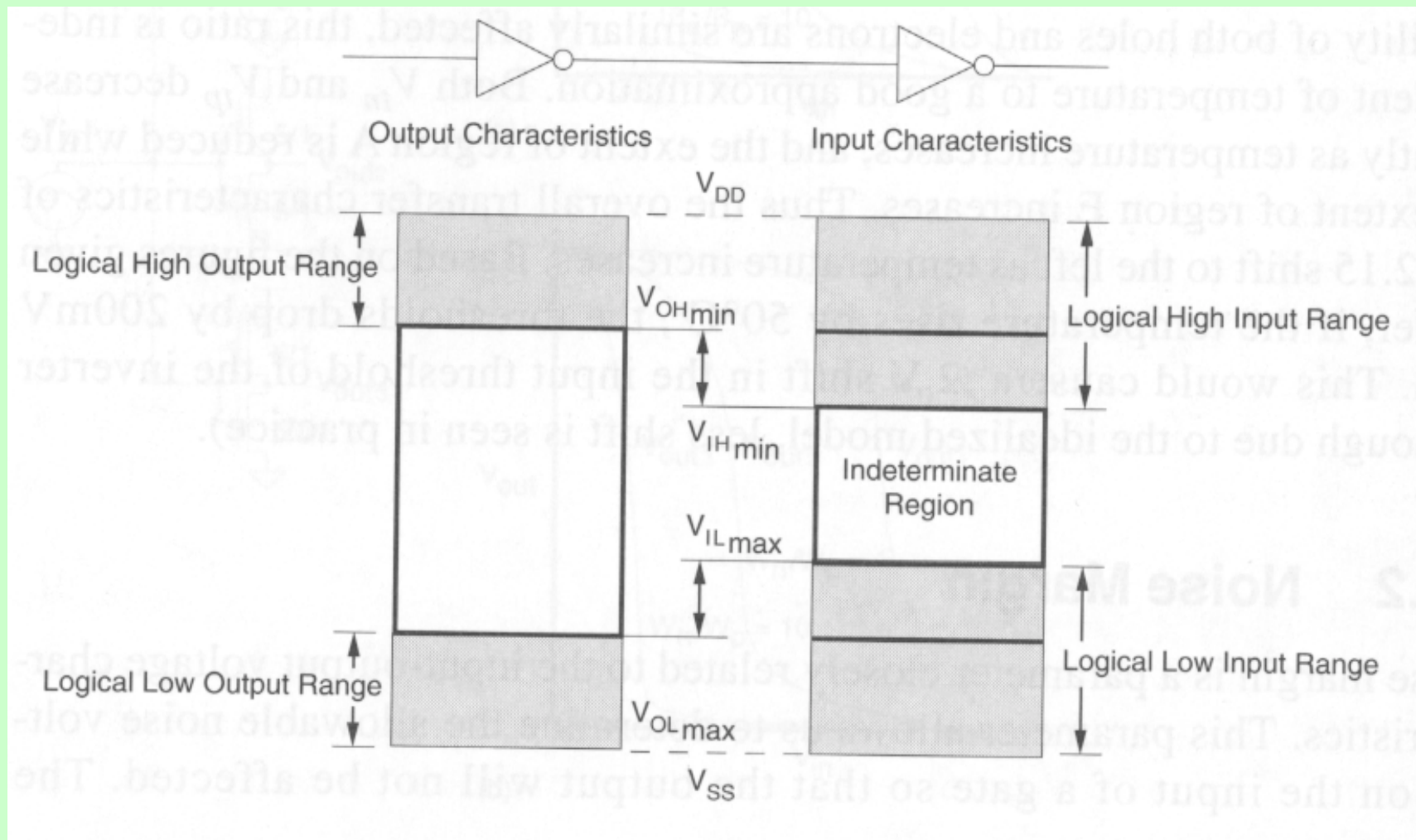
Podobnie zachowuje się prąd

$$I_{ds} = I_{ds0} \alpha T^{-1.5}$$

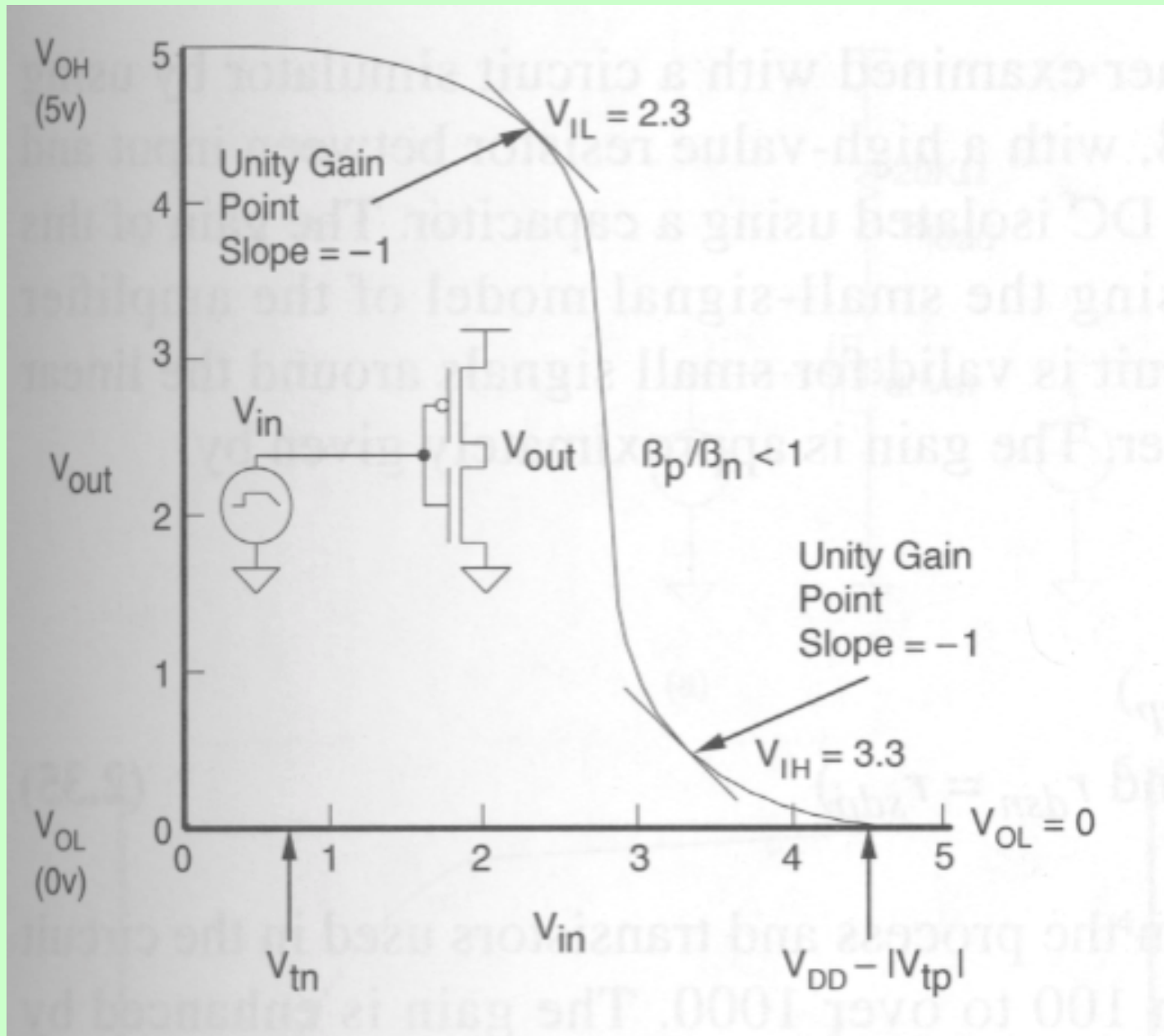
α - współczynnik



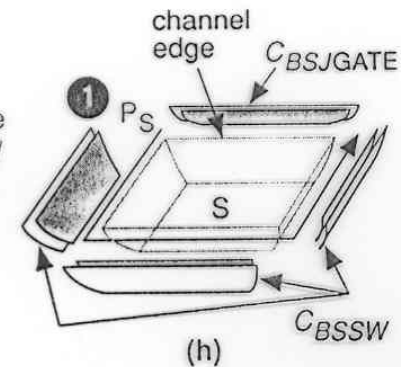
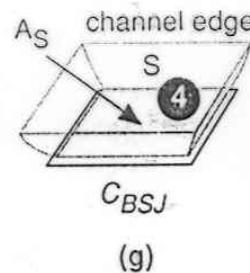
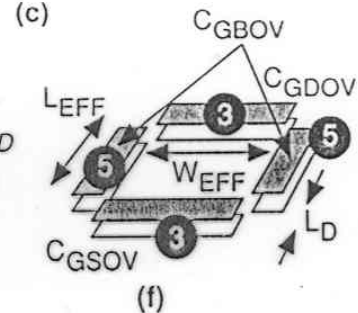
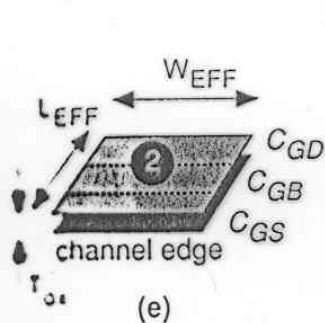
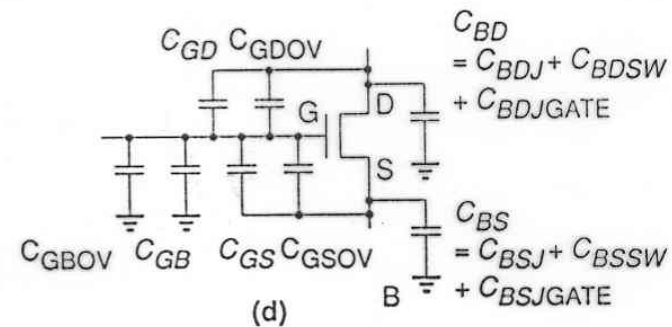
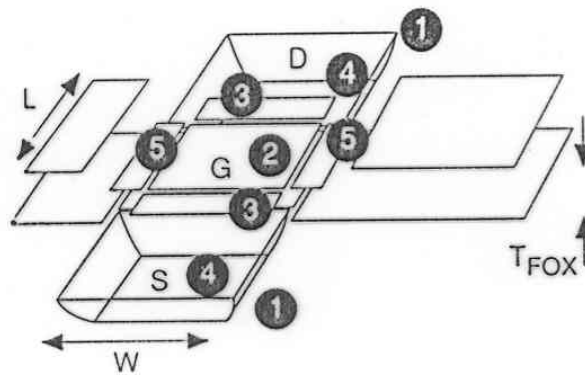
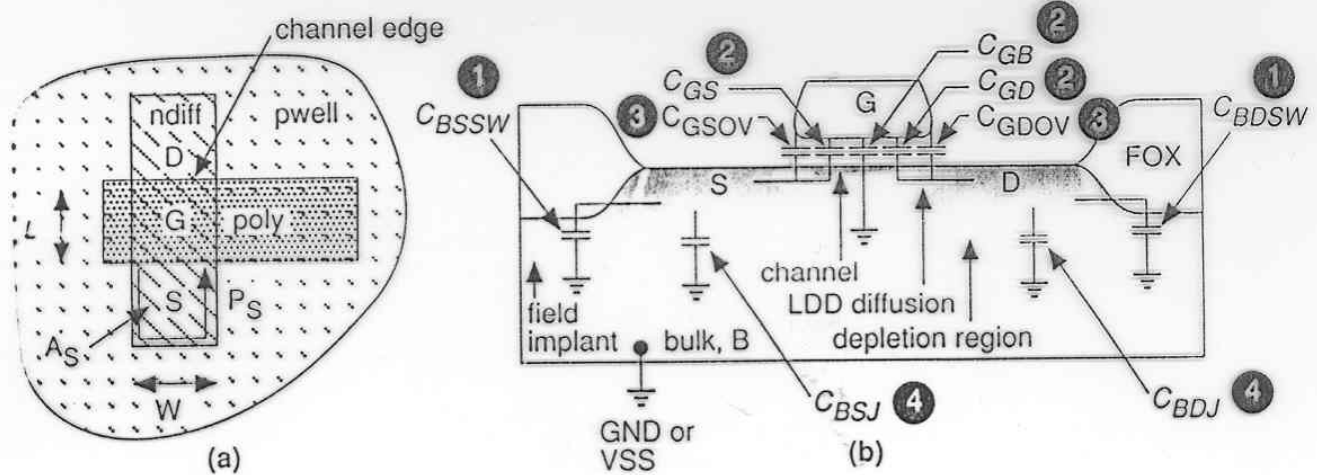
Definicja marginesu zakłóceń



Marginesy zakłóceń na charakterystyce przejścia inwertera



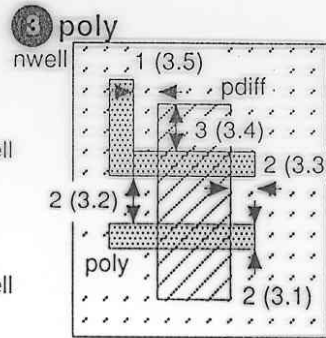
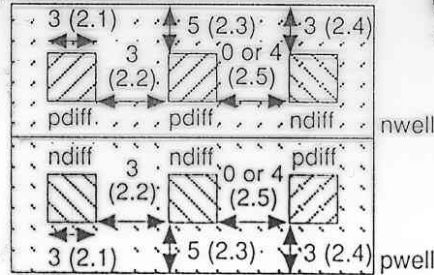
Tranzystor MOS jako element gromadzący energię potencjalną



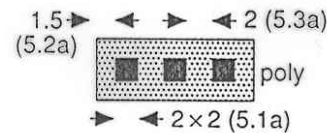
Wartości typowych pojemności pasożytniczych

TABLE 3.1 Calculations of parasitic capacitances for an n-channel MOS transistor.		
Spice	Equation	Values ¹ for $V_{GS} = 0V$, $V_{DS} = 3V$, $V_{SB} = 0V$
<code>CBD</code>	$C_{BD} = C_{BDJ} + C_{BD SW}$	$C_{BD} = 1.855 \times 10^{-15} + 2.04 \times 10^{-16} = 2.06 \times 10^{-15} F$
	$C_{BDJ} = A_D C_J (1 + V_{DB}/\phi_B)^{-m_J}$ ($\phi_B = PB$)	$C_{BDJ} = (4.032 \times 10^{-15}) (1 + (3/1))^{-0.56}$ $= 1.8550983 \times 10^{-15} F$
	$C_{BD SW} = P_D C_{JSW} (1 + V_{DB}/\phi_B)^{-m_{JSW}}$ (P_D may or may not include channel edge)	$C_{BD SW} = (4.2 \times 10^{-16}) (1 + (3/1))^{-0.52}$ $= 2.0425754 \times 10^{-16} F$
<code>CBS</code>	$C_{BS} = C_{BSJ} + C_{BS SW}$	$C_{BS} = 4.032 \times 10^{-15} + 4.2 \times 10^{-16} = 4.452 \times 10^{-15} F$
	$C_{BSJ} = A_S C_J (1 + V_{SB}/\phi_B)^{-m_J}$	$A_S C_J = (7.2 \times 10^{-12}) (5.6 \times 10^{-4}) = 4.032 \times 10^{-15} F$
	$C_{BS SW} = P_S C_{JSW} (1 + V_{SB}/\phi_B)^{-m_{JSW}}$	$P_S C_{JSW} = (8.4 \times 10^{-6}) (5 \times 10^{-11}) = 4.2 \times 10^{-16} F$
<code>CBSOV</code>	$C_{BSOV} = W_{EFF} C_{GSO} ; W_{EFF} = W - 2W_D$	$C_{BSOV} = (6 \times 10^{-6}) (3 \times 10^{-10}) = 1.8 \times 10^{-16} F$
<code>CBSOV</code>	$C_{GDOV} = W_{EFF} C_{GSO}$	$C_{GDOV} = (6 \times 10^{-6}) (3 \times 10^{-10}) = 1.8 \times 10^{-16} F$
<code>CBSOV</code>	$C_{GBOV} = L_{EFF} C_{GBO} ; L_{EFF} = L - 2L_D$	$C_{GBOV} = (0.5 \times 10^{-6}) (4 \times 10^{-10}) = 2 \times 10^{-16} F$
<code>CS</code>	$C_{GS}/C_O = 0 \text{ (off)}, 0.5 \text{ (lin.)}, 0.66 \text{ (sat.)}$ $C_O \text{ (oxide capacitance)} = \frac{W_{EFF} L_{EFF} \epsilon_{ox}}{T_{ox}}$	$C_O = (6 \times 10^{-6}) (0.5 \times 10^{-6}) (0.00345)$ $= 1.035 \times 10^{-14} F$ $C_{GS} = 0.0 F$
<code>CSD</code>	$C_{GD}/C_O = 0 \text{ (off)}, 0.5 \text{ (lin.)}, = 0 \text{ (sat.)}$	$C_{GD} = 0.0 F$
<code>CSB</code>	$C_{GB} = 0 \text{ (on)}, = C_O \text{ in series with } C_S \text{ (off)}$	$C_{GB} = 3.88 \times 10^{-15} F$, $C_S = \text{depletion capacitance}$

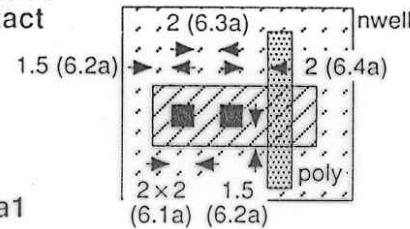
① well ② active



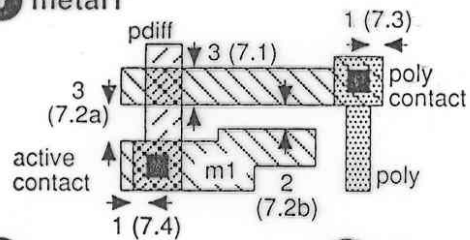
5 poly contact



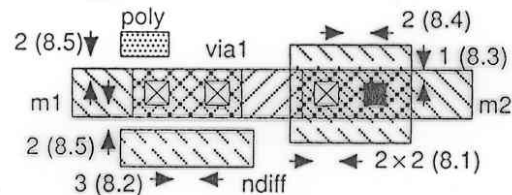
⑥ active contact



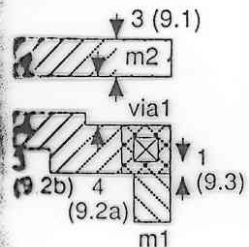
7 metal1



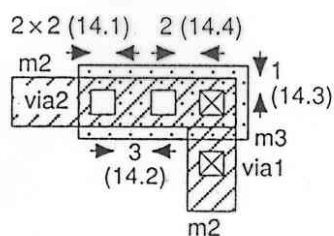
8 via1



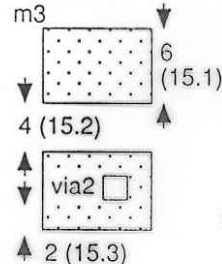
9 metal2



14 via2



15 metal3



⑩ overglass (microns)

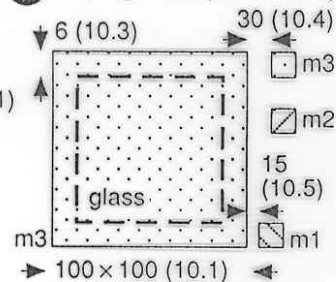


TABLE 2A.1
Process scenario of major process steps in typical NMOS process^a

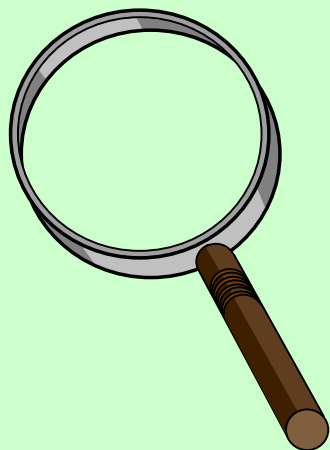
1. Clean wafer	
2. GROW THIN OXIDE	
3. Deposit Si ₃ N ₄	
4. Apply photoresist layer	
5. PATTERN ANTIMOAT	(MASK #1)
6. Develop photoresist	
7. Etch Si ₃ N ₄	
8. FIELD IMPLANT	
9. Strip photoresist	
10. GROW FIELD OXIDE	
11. Strip Si ₃ N ₄	
12. Strip thin oxide	
13. GROW THIN OXIDE	
14. Channel implant (optional)	
15. Apply photoresist	
16. PATTERN DEPLETION TRANSISTOR CHANNELS	(MASK #2)
17. Develop photoresist	
18. DEPLETION IMPLANT	
19. Strip photoresist	
20. Strip thin oxide	
21. GROW THIN OXIDE	
<i>Optional buried contact steps</i>	
A.1 Apply photoresist	
A.2 Pattern buried contact	(MASK #A)
A.3 Develop photoresist	
A.4 Etch SiO ₂ (open via for buried contacts)	
A.5 Strip photoresist	
22. POLYSILICON DEPOSITION (POLY I)	
23. Apply photoresist	
24. PATTERN POLY I	(MASK #3)
25. Develop photoresist	
26. Etch POLY I	
27. Strip photoresist	
<i>Optional second polysilicon layer</i>	
B.1 Strip thin oxide	
B.2 GROW THIN OXIDE	
B.3 POLYSILICON DEPOSITION (POLY II)	
B.4 Apply photoresist	
B.5 PATTERN POLY II	(MASK #B)
B.6 Develop photoresist	
B.7 ETCH POLY II	
B.8 Strip photoresist	
B.9 Strip thin oxide	

Etapy technologiczne procesu NMOS (maski)

TABLE 2A.1
(Continued)

28. CHANNEL DIFFUSION	
29. Grow oxide	
30. Apply photoresist	
31. PATTERN CONTACT OPENINGS	(MASK #4)
32. Develop photoresist	
33. ETCH OXIDE	
34. Strip photoresist	
35. DEPOSIT METAL	
36. Apply photoresist	
37. PATTERN METAL	(MASK #5)
38. Develop photoresist	
39. ETCH METAL	
40. Strip photoresist	
41. APPLY PASSIVATION	
42. Apply photoresist	
43. PATTERN PAD OPENINGS	(MASK #6)
44. Develop photoresist	
45. Etch passivation	
46. Strip photoresist	
47. ASSEMBLE PACKAGE AND TEST	

^aMajor functional steps shown in capital letters



Reguły projektowania typowego procesu NMOS

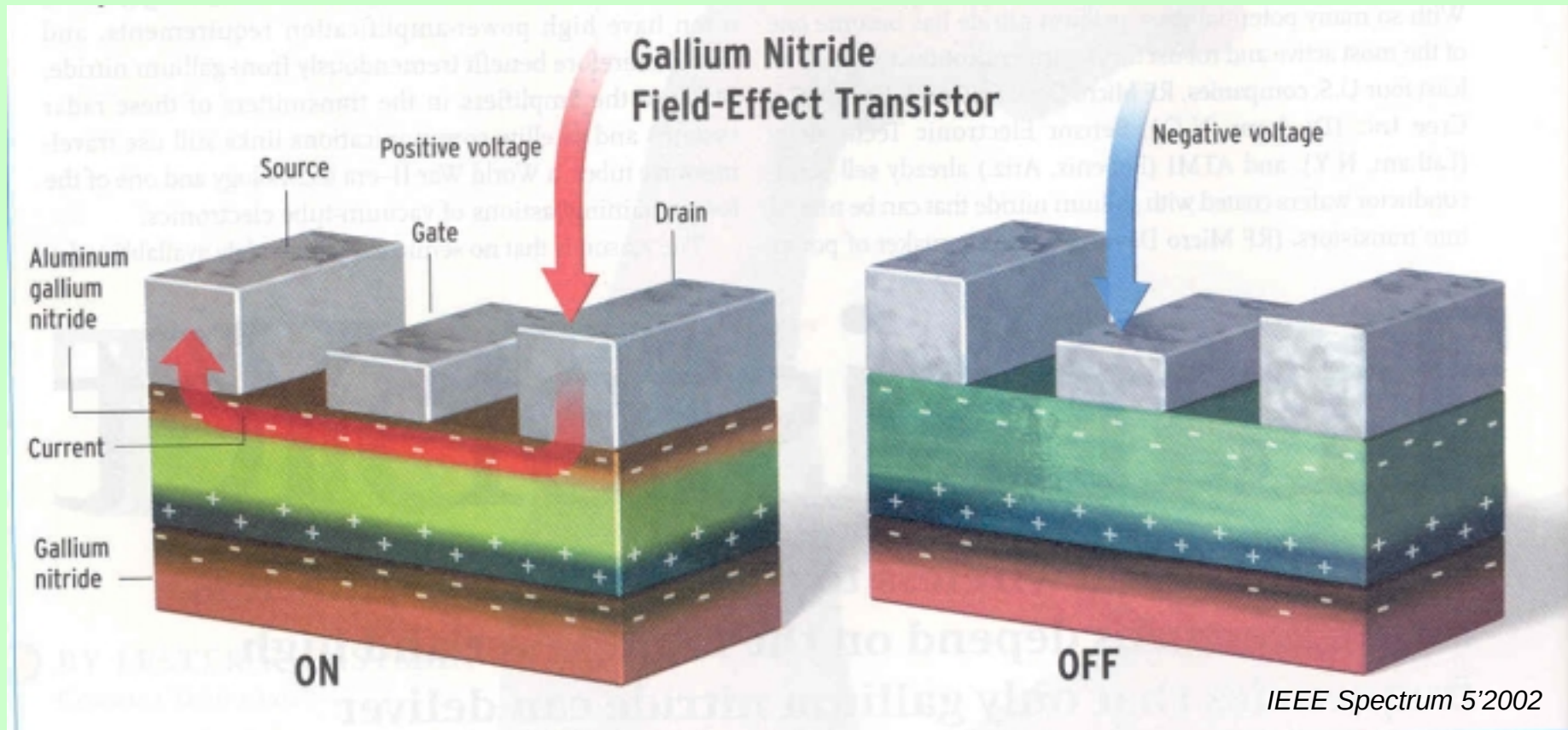
TABLE 2A.2
Design rules for a typical NMOS process
(See Table 2A.3 in color plates for graphical interpretation)

	Scalable dimension
1. n ⁺ Diffusion (moat) (CIF ^a Green, Mask #1) ^b	
1.1 Width	2λ
1.2 Spacing	3λ
2. Implant (CIF Yellow, Mask #2)	
2.1 Overlap of depletion transistor channel	2λ
2.2 Spacing to channel of enhancement transistor	1.5λ
3. Buried contact (CIF Brown, Mask #A)	
3.1 Spacing to transistor channel	2λ
3.2 Buried contact overlap of diffusion	2λ
3.3 Buried overlap of poly or field	λ
3.4 Buried contact space to unrelated poly or diffusion	2λ

TABLE 2A.2
(Continued)

	Scalable dimension
4. POLY I (CIF Red, Mask #3)	
4.1 Width	2λ
4.2 Spacing	2λ
4.3 Spacing to diffusion	λ
4.4 Overlap of channel diffusion	2λ
4.5 Distance to n ⁺ diffusion source or drain edge	2λ
5. Contact (CIF Black, Mask #4)	
5.1 Size (exactly)	2λ × 2λ
5.2 n ⁺ diffusion overlap of contact	λ
5.3 POLY I overlap of contact	λ
5.4 Contact-to-contact spacing	2λ
5.5 Contact-to-transistor channel spacing	2λ
5.6 Metal overlap of contact	λ
6. Metal (CIF Blue, Mask #5)	
6.1 Width	3λ
6.2 Spacing	3λ
6.3 Maximum current density	1 mA/μ width
6.4 Minimum bonding pad size	100 μ × 100 μ
6.5 Minimum probe pad size	75 μ × 75 μ
6.6 Minimum pad spacing	50 μ
6.7 Pad to circuitry	40 μ
7. Passivation (CIF Purple, Mask #6)	
7.1 Minimum bonding pad opening	90 μ × 90 μ
7.2 Minimum probe pad opening	65 μ × 65 μ
8. POLY II (CIF Purple, Mask #B)	
8.1 Width	2λ
8.2 Spacing	2λ
8.3 POLY I overlap of POLY II ^c	λ
8.4 Overlap of contact	2λ

NOWE MATERIAŁY NOWE TECHNOLOGIE

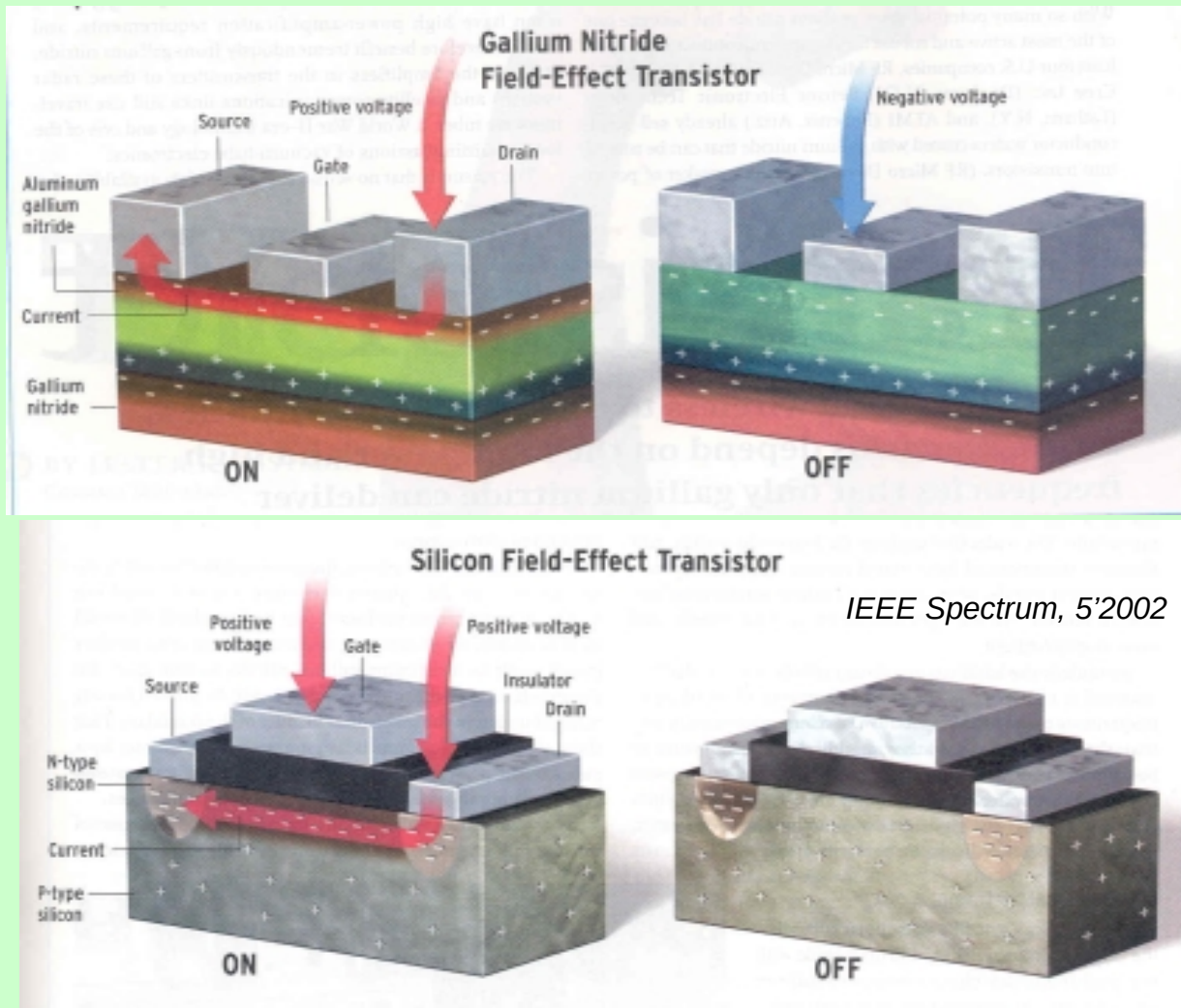


Nowy tranzystor FET GaN (azotek galu)

Motywacja poszukiwania nowych materiałów i technologii:

- W układach krzemowych 90% energii zasilania to straty
- Wyższe częstotliwości pracy
- Większy współczynnik wzmocnienia MOCY

PORÓWNANIE BUDOWY FET Si - FET GaN



Tranzystor GaN: Krótka bramka (krótki kanał),
Częstotliwość pracy 10-11GHz (dla Si tylko 2-3 GHz), Gęstość mocy 10W/mm długości bramki
(dla GaAs tylko 1W/mm dług. bramki), Temperatura pracy 300°C (dla Si tylko 140°C)

Where Gallium Nitride Outstrips Other Semiconductor Materials

IEEE Spectrum, 5/2002

Semiconductor (commonly used compounds)			Gallium arsenide (AlGaAs/ InGaAs)	Indium phosphide (InAlAs/ InGaAs) ^a	Silicon carbide	Gallium nitride (AlGaN/ GaN)
Characteristic	Unit	Silicon				
Bandgap	eV	1.1	1.42	1.35	3.26	3.49
Electron mobility at 300 K	cm ² /Vs	1500	8500	5400	700	1000- 2000
Saturated (peak) electron velocity	X10 ⁷ cm/s	1.0 (1.0)	1.3 (2.1)	1.0 (2.3)	2.0 (2.0)	1.3 (2.1)
Critical breakdown field	MV/cm	0.3	0.4	0.5	3.0	3.0
Thermal conductivity	W/cm•K	1.5	0.5	0.7	4.5	>1.5
Relative dielectric constant	ϵ_r	11.8	12.8	12.5	10.0	9.0

^a The compounds are loosely known as indium-based.

PRAKTYCZNE PRZYKŁADY URZĄDZEŃ Z TRANZYSTORAMI FET GaN

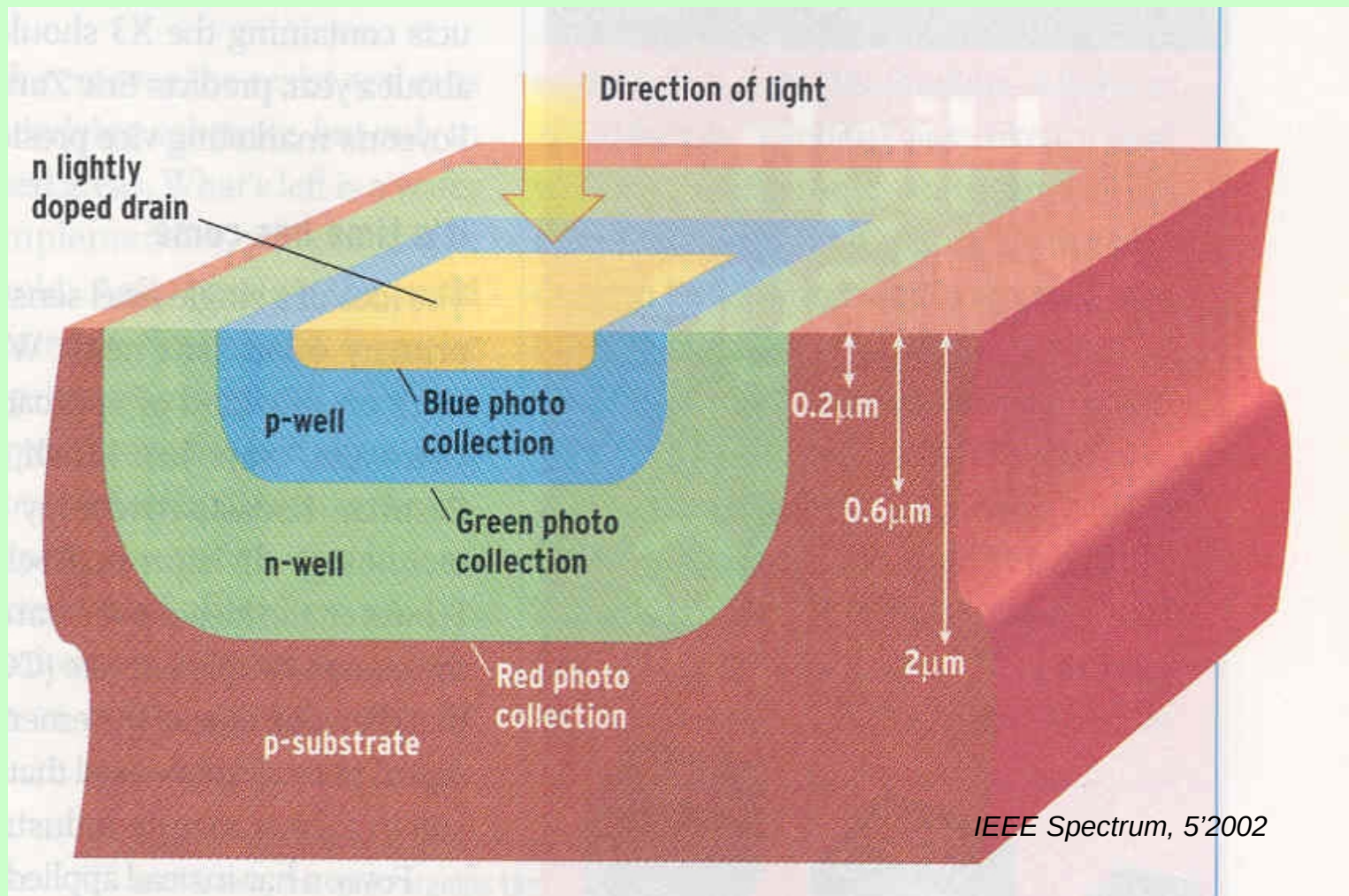
- Radary samochodowe dla uniknięcia kolizji – Daimler-Chrysler (Ulm, Niemcy)
- Sprzęt mobilny telekomunikacyjny militarny (radary, komunikacja satelitarna)
- Sterowanie instalacją elektryczną w pojazdach hybrydowych spalinowo-elektrycznych
- Wzmacniacze mocy w telefonach komórkowych – RF Nitro Communications



Trochę o pieniądzach

Płytki o średnicy 50 mm azotku galu kosztuje ok. 10 k\$

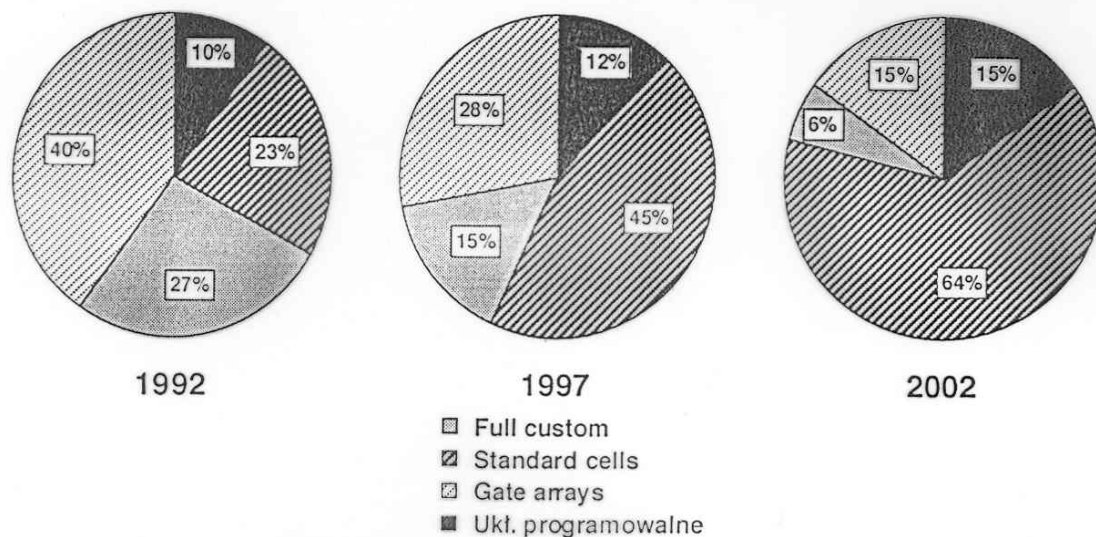
PÓŁPRZEWODNIKOWY CZUJNIK TRÓJKOLOROWY



Każdy piksel czujnika (jak na rysunku) rejestruje wszystkie trzy kolory
Fotodiody są ukryte pomiędzy poszczególnymi warstwami

Zaleta: Jeden piksel rejestruje trzy kolory jednocześnie

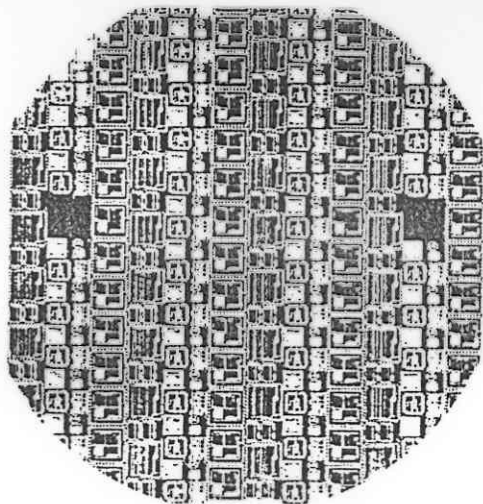
Udział w rynku - tendencje światowe



Możliwości wytwarzania układów ASIC

- Idea płytek wieloprojektowych (MPW)
- Ośrodki MPW: EURO PRACTICE, CMP
- Dostępne technologie
- Prototypy: terminy i ceny
- Produkcja mało-, średnio- i wielkoseryjna
- Produkcja w kraju

Płytki wieloprojektowa (multiproject wafer)



Instytut Technologii Elektronowej
w Warszawie

EUROPRACTICE

- program Unii Europejskiej wspierający zastosowania technologii mikroelektronicznych
 - udostępnianie oprogramowania do projektowania
 - organizacja wytwarzania prototypów układów
 - organizacja produkcji mało- i średnioseryjnej
 - kursy i szkolenia
- dostępny dla polskich instytucji i firm

Pliki technologiczne (design kits) - źródła

- Wytwórcy układów (np. AMS)
- Ośrodki MPW (EUROPRACTICE, CMP)
- Twórcy oprogramowania (np. systemu ALLIANCE)

W każdym przypadku konieczne jest podpisanie Non-Disclosure Agreement (zobowiązanie do zachowania poufności otrzymanych danych).

Pliki technologiczne, biblioteki komórek i dokumentacja dostarczane są bezpłatnie.

Zamówienie projektu

Najbardziej doświadczona instytucja w Polsce:
Ośrodek Wspierania Zastosowań Mikroelektroniki
w Instytucie Technologii Elektronowej.
Każdy zakres usług przy projektowaniu, wykonaniu
prototypów, testowaniu, produkcji w dowolnej skali.

Możliwość zamówienia projektu w uczelniach:
Politechnika Warszawska, Politechnika Łódzka,
Akademia Górniczo-Hutnicza.

Istnieją prywatne firmy projektowe.

Systemy projektowania

Oprogramowanie o niskiej cenie lub dostępne bezpłatnie

- System ALLIANCE (synteza układów w stylu komórek standardowych)

Koszt: bezpłatnie

Sprzęt: PC/486 lub lepszy/Linux, PowerMac/Linux

- Programy typu "front end" (służą do definicji projektu i do symulacji; nie wykonują projektu do końca)

Koszt: bezpłatnie lub do kilku tys. USD

Sprzęt: PC, Macintosh

Systemy projektowania

Oprogramowanie o niskiej cenie lub dostępne bezpłatnie

- Programy do projektowania i programowania układów programowalnych

Koszt: do kilku tys. USD

Sprzęt: zwykle PC

- System IMiOCAD (projekty full custom)

Koszt: negocjowalny

Sprzęt: PowerMac/MacOS

EUROPRACTICE

- Koordynacja usług w dziedzinie wytwarzania układów ASIC:
IMEC, EUROPRACTICE ICMS Office, dr Carl Das
Kapeldreef 75, B-3001 Leuven, Belgia
tel.: 0 - 032 - 16 - 281248, Fax: 0 - 032 - 16 - 281584,
e-mail: mpc@imec.be
<http://www.imec.be/europpractice/europpractice.html>
- Rozpowszechnianie oprogramowania i sprawy członkostwa:
Rutherford Appleton Laboratory, Microelectronics
Support Centre, dr John McLean
Chilton Didcot, Oxfordshire, OX11 0QX, Wlk. Brytania,
tel. 0 - 044 - 1235 445327, fax 0 - 044 - 1235 445546,
e-mail: europpractice_sss@rl.ac.uk
<http://www.te.rl.ac.uk/europpractice/>

Dostęp do usług EUROPRACTICE

- Instytucje akademickie i instytuty badawcze:
wymagane zgłoszenie członkostwa (opłata roczna 900 EURO dla krajów UE, bezpłatnie dla polskich instytucji - ale to może się zmienić w 1999 r.)
- Firmy komercyjne: nie ma pojęcia członkostwa,
każda firma może korzystać z usług **zgłaszając się**
bezpośrednio do ośrodków EUROPRACTICE

Załatwianie członkostwa przez Internet:

<http://www.te.rl.ac.uk/europpractice/membership/membership.html>

EUROPRACTICE - ośrodki MPW

- IMEC, Leuven, Belgia - koordynacja całości
- FhG - IIS, Erlangen, Niemcy
- Nordic VLSI, Tiller, Norwegia
- DELTA, Hoersholm, Dania

Główne źródło informacji o EUROPRACTICE:
[http:// www.imec.be/europpractice](http://www.imec.be/europpractice)

EUROPRACTICE - współpracujący wytwórcy

- ALCATEL Microelectronics (B)
- Austria Mikro Systeme Int. AG (AMS)
- GEC Marconi (G.B.)
- Newport Wafer Fab (G.B.)
- TEMIC Matra MHS (F)

Dostępne technologie: ALCATEL

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena n.	Cena s.	Min. pow.
2 μ CMOS	CMOS	2 μ m	Ukł. anal./cyfr./mieszane	130	80	5
C07M-D	CMOS	0,7 μ m	Ukł. cyfrowe	240	145	5
C07M-A	CMOS	0,7 μ m	Ukł. anal./cyfr./mieszane	295	180	5
C07M-I2T	CMOS	0,7 μ m	Ukł. anal./cyfr./mieszane	450	270	10
C05M-D	CMOS	0,5 μ m	Ukł. cyfrowe	360	215	10
C05M-A	CMOS	0,5 μ m	Ukł. anal./cyfr./mieszane	450	270	10
C035M-D	CMOS	0,35 μ m	Ukł. cyfrowe	750	450	10
C035M-A	CMOS	0,35 μ m	Ukł. anal./cyfr./mieszane	900	540	10
HBIMOS-F	BICMOS	1,2 μ m	Ukł. "smart power"	360	215	10

Ceny prototypów w EURO za 1 mm² układu; cena "s" - subsydiowana przez Unię Europejską
 Min. pow.: minimalna powierzchnia, za którą trzeba zapłacić, w mm².

Dostępne technologie: AMS

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena n.	Cena s.	Min. pow.
CYE	CMOS	0,8 μm	Ukt. anal./cyfr./mieszane	245	150	5
CXQ	CMOS	0,8 μm	Ukt. anal./cyfr./mieszane	260	155	5
BYS	SiGe	0,8 μm	Ukt. anal./miesz. GHz	1600	960	5
BYQ	BICMOS	0,8 μm	Ukt. anal./cyfr./mieszane	520	315	5
CUP	CMOS	0,6 μm	Ukt. anal./cyfr./mieszane	290	175	10
CUQ	CMOS	0,6 μm	Ukt. anal./cyfr./mieszane	260	155	10
BUE	BICMOS	0,6 μm	Ukt. anal./cyfr./mieszane	520	315	5
CSD	CMOS	0,35 μm	Ukt. anal./cyfr./mieszane	700	420	10

Ceny prototypów w EURO za 1 mm² układu; cena "s" - subsydiowana przez Unię Europejską
 Min. pow.: minimalna powierzchnia, za którą trzeba zapłacić, w mm².

Dostępne technologie: GEC Marconi

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena n.	Cena s.	Min. pow.
H40	GaAs/HEMT	-	Ukł. mikrofalowe	1500	900	3
F20	GaAs/MESFET	-	Ukł. mikrofalowe	1500	900	3

Dostępne technologie: Newport Wafer Fab

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena n.	Cena s.	Min. pow.
CMOSD	CMOS	0,5 μm	Ukł. cyfrowe	360	215	10
CMOSA	CMOS	0,5 μm	Ukł. anal./cyfr./mieszane	450	270	10

Ceny prototypów w EURO za 1 mm² układu; cena "s" - subsydiowana przez Unię Europejską
 Min. pow.: minimalna powierzchnia, za którą trzeba zapłacić, w mm².

Dostępne technologie: TEMIC Matra MHS

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena n.	Cena s.	Min. pow.
D-MILL	BICMOS SOI	0,5 μm	Ukł. cyfr./miesz. odp. na radiację	690	415	10

Koszt prototypu

Koszt prototypowych układów =
powierzchnia * cena 1 mm² + koszt montażu

Koszt montażu: liczba układów * koszt obudowy

Liczba układów wynosi standardowo:

10 dla powierzchni układu < 40 mm²

20 dla powierzchni układu > 40 mm²

(dla technologii D-MILL: 20 dla powierzchni < 65 mm²,
40 dla powierzchni > 65 mm²)

Typowy koszt prototypu małego układu: kilka tys. EURO

Ceny obudów i montażu (wybór)

Typ obudowy	Cena 1 szt. (EURO)
DIL16	15
DIL24	20
DIL40	27
DIL48	31
CSOIC16	36
CSOIC20	39
CSOIC28	47
CLCC44	25
CLCC68	35
CLCC84	41

Typ obudowy	Cena 1 szt. (EURO)
JLCC44	34
JLCC68	45
JLCC84	51
PGA84	44
PGA120	59
PGA208	99
PGA256	129
CQFP64	45
CQFP160	75
CQFP208	95

Wszystkie typy obudów w wersji ceramicznej

CMP Service

- Niezależna od EURO PRACTICE instytucja francuska:
TIMA-CMP, prof. Bernard Courtois,
46 Avenue Felix Viallet, 38031 Grenoble Cedex, Francja,
tel. 0 - 033 - 4 76 57 48 04, fax: 0 - 033 - 4 76 47 38 14
e-mail: cmp@imag.fr
<http://tima-cmp.imag.fr/CMP/CMP.html>
- Zakres usług podobny, jak w przypadku EURO PRACTICE
- Nie ma pojęcia członkostwa, dostęp dla wszelkich zainteresowanych instytucji

CMP - współpracujący wytwórcy

- Austria Mikro Systeme Int. AG (AMS)
- Philips Microwave Limeil (PML)
- ST Microelectronics
- CSEM - elementy optyczne
- MCNC (USA) - mikromechanizmy

Dostępne technologie: AMS

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena	Min.
CYE	CMOS	0,8 μm	Ukł. anal./cyfr./mieszane	1300	4
CYE+BM	CMOS	0,8 μm	Mikromechanizmy i czujniki	1800	5
BYE	BICMOS	0,8 μm	Ukł. anal./cyfr./mieszane	2600	3
BYE+BM	BICMOS	0,8 μm	Mikromechanizmy i czujniki	3100	5
CUP	CMOS	0,6 μm	Ukł. anal./cyfr./mieszane	1800	5
CSD	CMOS	0,35 μm	Ukł. anal./cyfr./mieszane	4000	10

Ceny prototypów we frankach francuskich za 1 mm² układu

Min. pow.: minimalna powierzchnia, za którą trzeba zapłacić, w mm².

Dostępne technologie: ST Microelectronics

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena	Min.
HCMOS7	CMOS	0,25	Ukł. cyfrowe	3000	5

Dostępne technologie: PML

Nazwa	Rodzaj	Wymiar char.	Przeznaczenie	Cena	Min.
ED02AH	GaAs	0,2 μm	Ukł. mikrofalowe	6000	4

Ceny prototypów we frankach francuskich za 1 mm² układu
Min. pow.: minimalna powierzchnia, za którą trzeba zapłacić, w mm².

Koszt prototypu

Koszt prototypowych układów = powierzchnia * cena 1 mm²

Koszt montażu: wliczony (dla 5 sztuk)

Wyjątki: technologia mikrofalowa i mikromechanizmy

Typowy koszt prototypu małego układu: zbliżony do kosztu tego samego układu wykonanego przez EUROPRACTICE

Zgłoszenie projektu do wykonania prototypu

- Wypełnienie formularza zgłoszenia (przez WWW)
- Wydrukowanie formularza, podpisanie i wysłanie faxem
- Przesłanie projektu (przez Internet)
- Weryfikacja projektu w ośrodku MPW
- Otrzymanie prototypów po około 12 - 14 tygodniach
- Zapłata po otrzymaniu prototypów

Produkcja seryjna poprzez ośrodek MPW

- Zgłoszenie zapotrzebowania na specjalnym formularzu, wstępne określenie ceny
- Uzgodnienie warunków technicznych z wytwórcą (m.in. obudowa, sposób testowania)
- Uzgodnienie warunków handlowych (terminy, cena)
- Przesłanie projektu (przez Internet)
- Kwalifikacja produkcyjna projektu
- Produkcja i dostawy

EUROPRACTICE - przykładowe ceny układów w produkcji małoseryjnej

Typ układu: cyfrowo-analogowy, CMOS 2.0 μm
Powierzchnia: 10 mm², obudowa: PLCC 28
Wielkość zamówienia: 1000 szt.
Cena za 1 szt.: 10.0 EURO

Typ układu: cyfrowy, CMOS 1.2 μm
Powierzchnia: 10 mm², obudowa: PLCC 44
Wielkość zamówienia: 2000 szt.
Cena za 1 szt.: 9.50 EURO

EUROPRACTICE - przykładowe ceny układów w produkcji małoseryjnej

Typ układu: cyfrowy, CMOS 0.7 μm

Powierzchnia: 10 mm², obudowa: PLCC 44

Wielkość zamówienia: 2500 szt. rocznie

Cena za 1 szt.: 7.0 EURO (+ NRE: 13000 EURO)

Typ układu: analogowo-cyfrowy, CMOS 0.5 μm

Powierzchnia: 20 mm², obudowa: PLCC 68

Wielkość zamówienia: 25 000 szt. rocznie

Cena za 1 szt.: 4.50 EURO (+ NRE: 77000 EURO)

Wytwarzanie układów ASIC w kraju

Instytut Technologii Elektronowej w Warszawie dysponuje jedyną w Polsce linią technologiczną. (obecnie przenoszona do nowych pomieszczeń, ponowne uruchomienie późną wiosną 1999 r.)

Możliwości:

- Układy CMOS 3 μm
- Struktury nietypowe (czujniki, mikromechanizmy)
- Przewidziane uruchomienie ośrodka MPW

Wytwarzanie układów ASIC w kraju

Instytut Technologii Elektronowej
Ośrodek Wspierania Zastosowań Mikroelektroniki
Mgr inż. Zbigniew Poznański, prof. dr hab. Andrzej Kobus
Al. Lotników 32/46, 02-668 Warszawa
tel. (22) - 847 1761, (22) - 847 1551, fax (22) - 847 0631
e-mail: poznan@ite.waw.pl, kobus@ite.waw.pl

Możliwości projektowania układów ASIC

- Własne stanowisko projektowania:
sprzęt i oprogramowanie
- Wynajem oprogramowania (i ew. sprzętu)
- Dostęp do sprzętu i oprogramowania
w ośrodku wspierającym
- Zamówienie projektu w ośrodku wspierającym
- Zamówienie projektu w firmie projektowej

Stanowiska do projektowania - sprzęt:

- PC Pentium: 6000 - 20 000 PLN
- Macintosh PowerPC: 6000 - 20 000 PLN
- SUN UltraSparc: 20 000 - 50 000 PLN

Systemy projektowania

Oprogramowanie komercyjne - przykłady

- CADENCE DFW II (system uniwersalny)
- MENTOR GRAPHICS GDT (system uniwersalny)
- SYNOPSYS (synteza układów cyfrowych)
- TANNER (głównie projekty full custom)

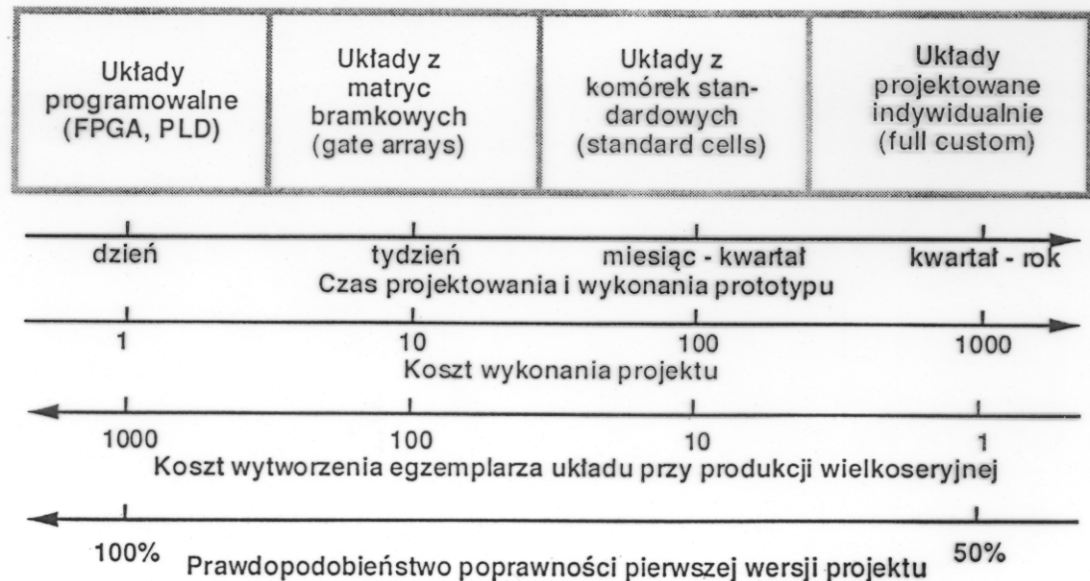
Ceny komercyjne: 20 000 - 200 000 USD/stanowisko

Sprzęt: stacje robocze SUN, częściowo PC/Windows NT, Power Macintosh/MacOS

Matrycowe układy programowalne (FPGA, PLD, PAL)

- Funkcję nadaje użytkownik
- Krótki czas projektowania i wykonania
- Głównie do układów cyfrowych
- Umiarkowane parametry
- Wysoki koszt jednostkowy

Rodzaje układów ASIC - podsumowanie



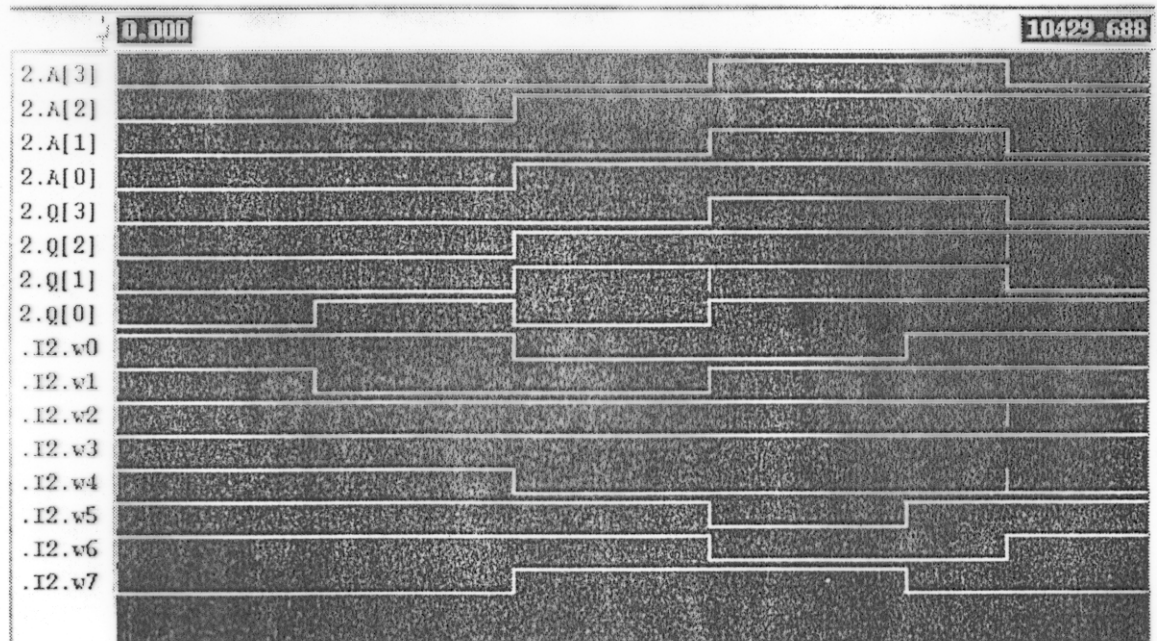
Synteza układu: opis w języku Verilog

```
module arp (A, PM, Q);  
  input [3:0]  A;  
  input PM;  
  output [3:0] Q;  
  reg [3:0]    Q;
```

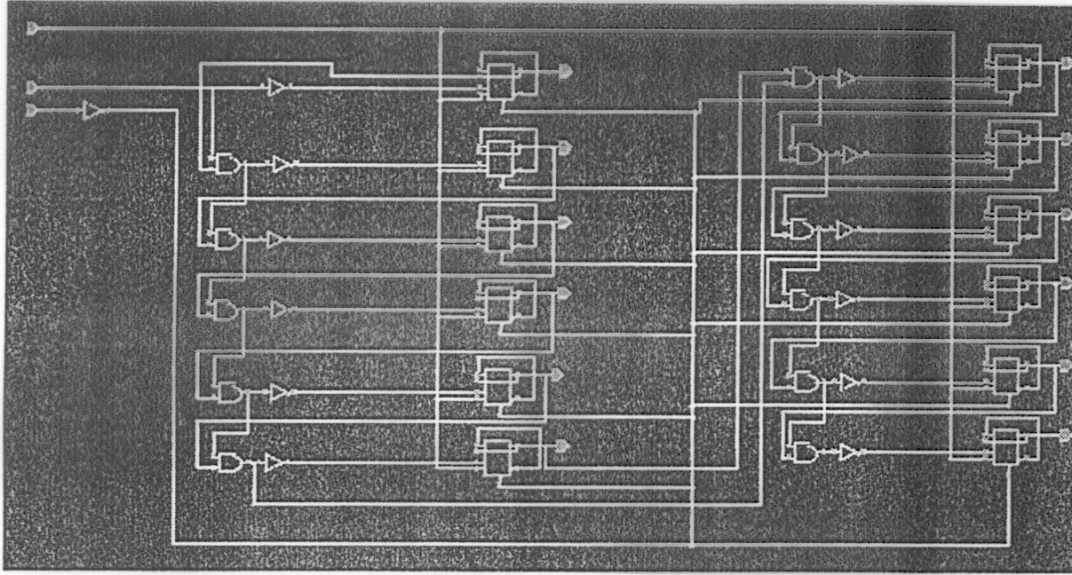
```
  always @( A or PM )  
    if ( PM && A < 4'b1111 )  
      Q = A + 1;  
    else  
      Q = A;  
endmodule
```

VHDL

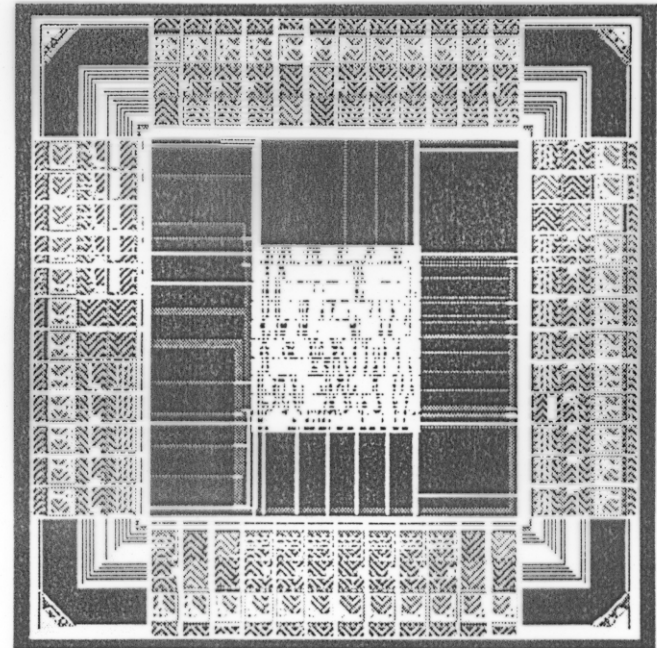
Synteza układu: symulacja

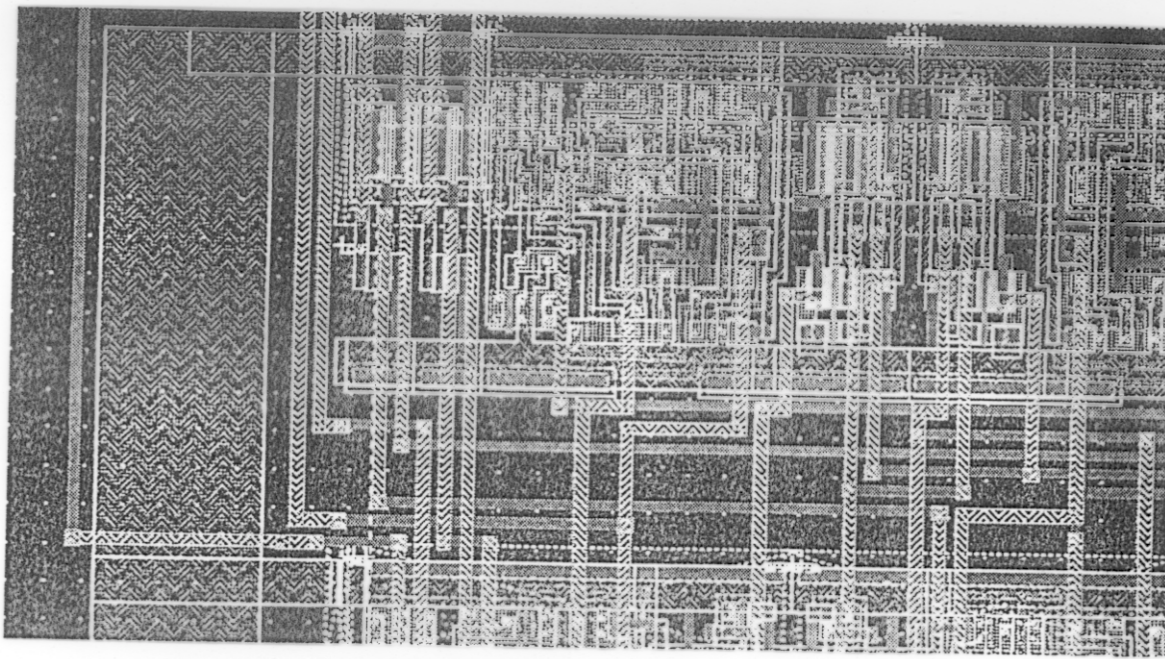


Synteza układu: schemat logiczny



Synteza układu: kompletny projekt





Układy z matryc bramkowych ("gate arrays")

- Krótki cykl projektowania i wykonania
- Głównie do układów cyfrowych
- Niski stopień wykorzystania powierzchni układu
- Gorsze parametry
- Koszt zwykle wyższy, niż układów z komórek standardowych