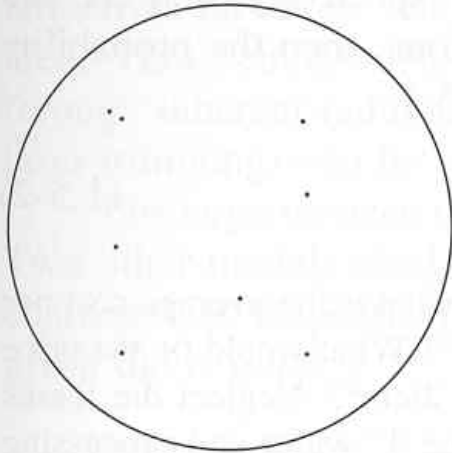


Aspekty projektowania:

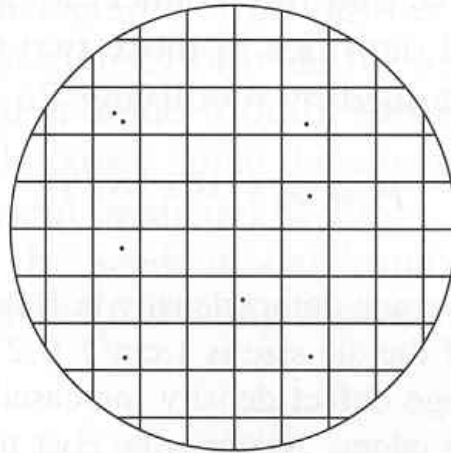
- techniczne
- ekonomiczne
- estetyczne
- socjologiczne

Schemat blokowy procesu projektowania

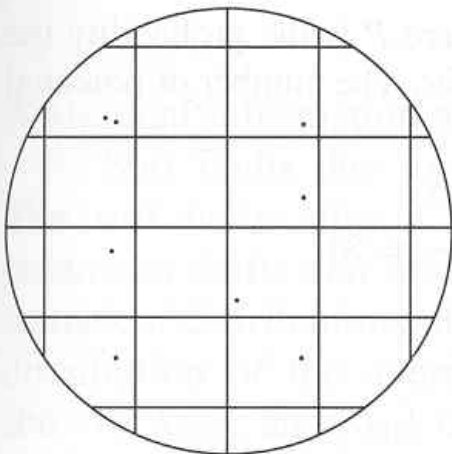
UZYSK



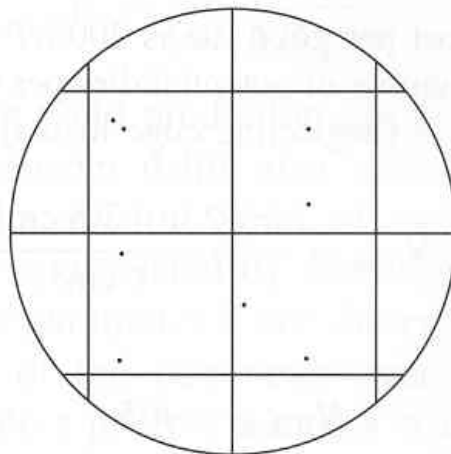
(a)



(b)



(c)



(d)

KOSZT

**Koszt płytki (wafer) ze strukturami:
500 - 5 000 \$**

**Liczba struktur na płytce:
1000 - 100 000**

**Koszt struktury:
od ułamka centa do kilku dolarów**

**Koszt montażu i obudowy:
0.1 - 100 \$**

**Koszt montażu proporcjonalny do
liczby wyprowadzeń.**



Makieta fabryki krzemowej
(Clean room)
Intel, Santa Clara, CA, 2001
Koszt ok. 4 mld \$

Projektowanie ASICów w Polsce

Mity i bariery

Układ ASIC ? Co to jest ?

„To nam nie potrzebne”

„Technologie w Polsce niedostępne”

„Tego u nas nie da się zrobić”

„To się nam nie opłaca”

„To by nas za dużo kosztowało”

„Tak szczerze, to nie mamy pojęcia jak się do tego zabrać.

Jak obalić mity i pokonać bariery

Kształcenie i doksztalcanie

Ośrodki wspierające

- doradztwo

- projektowanie

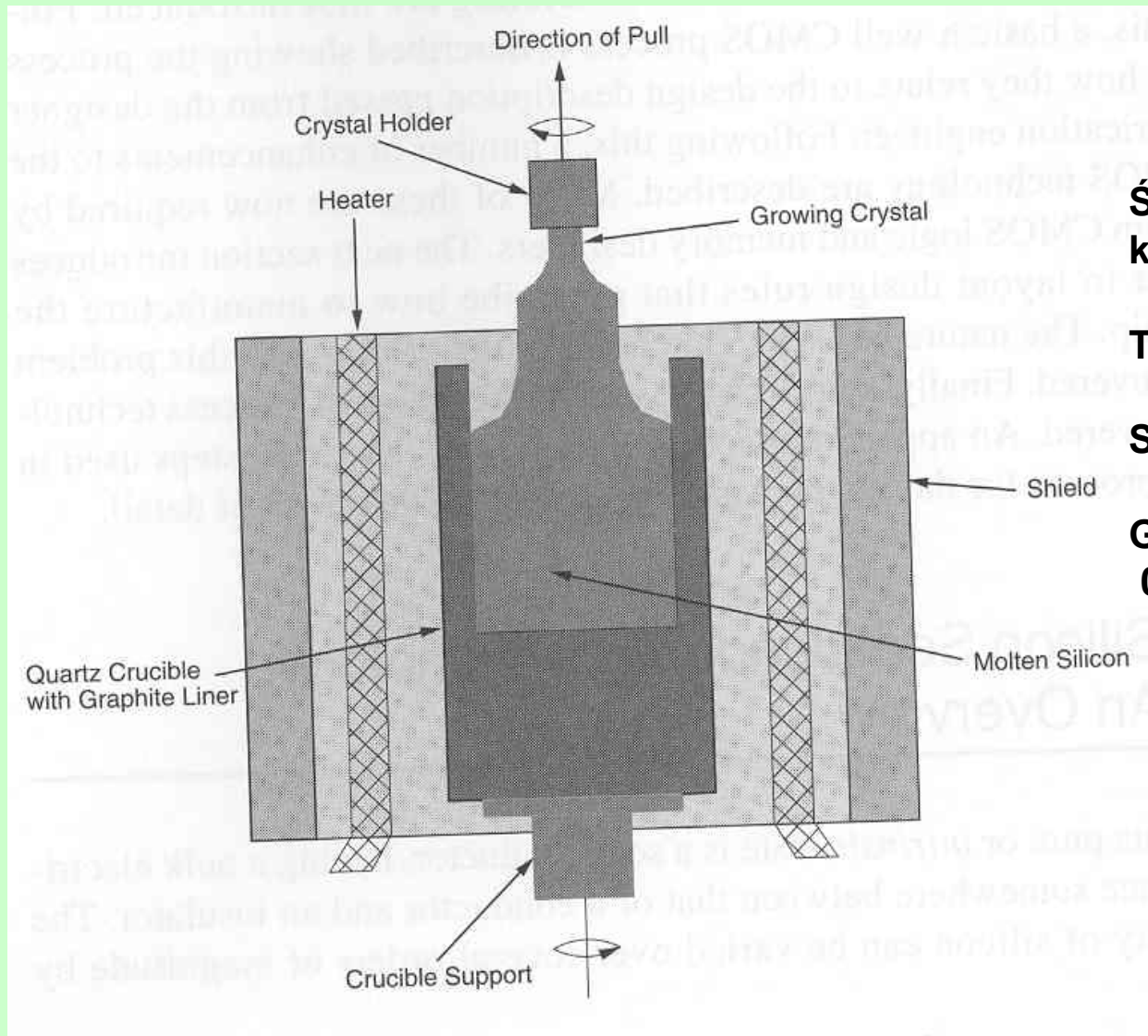
- pośrednictwo między firmą, a producentem

Wytwarzanie w kraju

Wsparcie ekonomiczne

Konsultacje

PROCES TECHNOLOGICZNY CMOS



**Średnica walca krystalicznego
krzemu: 75-230 mm**

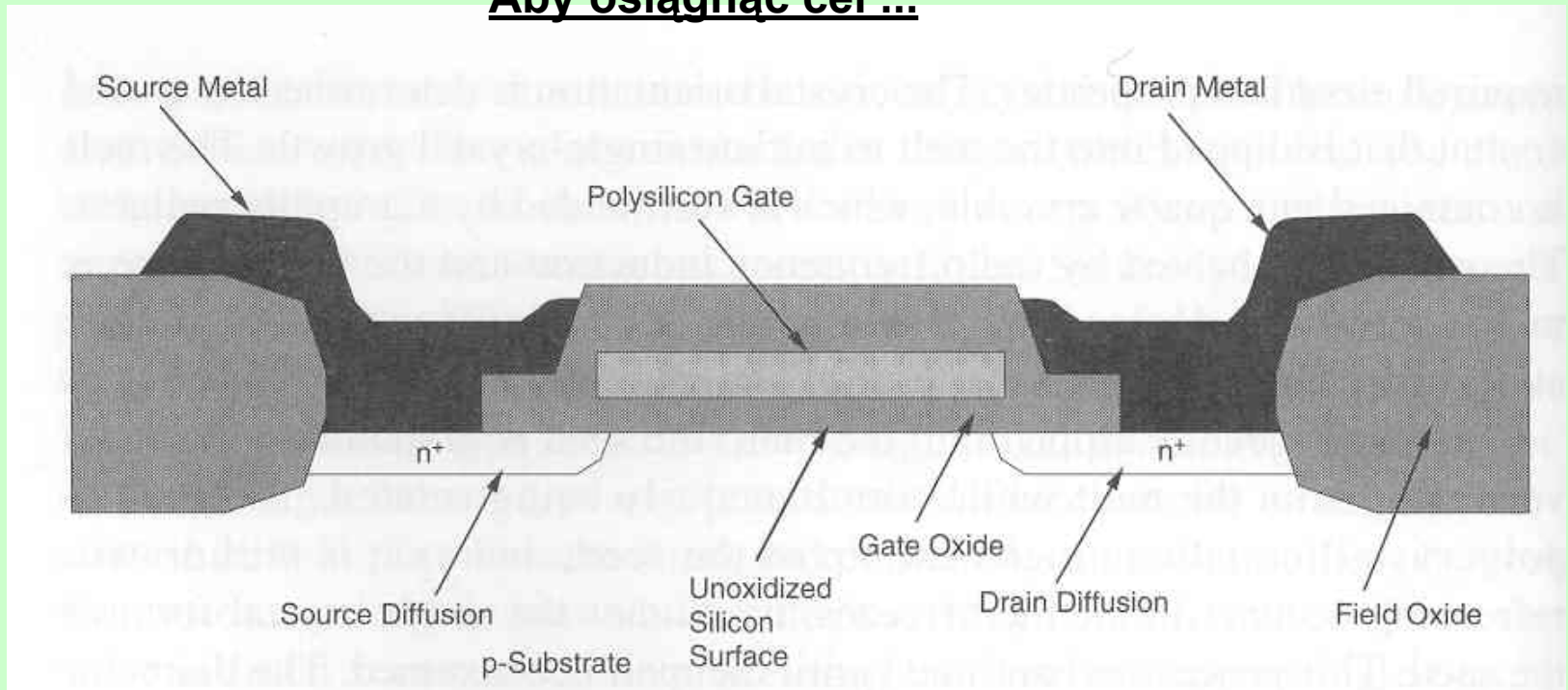
Temperatura = 1425 °C

Szybkość wzrostu 30-180 mm/h

**Grubość płytek (po cięciu):
0.25 - 1.0 mm.**

Proces pozyskiwania krystalicznego krzemu metodą Czochralskiego

Aby osiągnąć cel ...



Utlenianie :

Wilgotne - w atmosferze pary wodnej, temp. 900-1000 °C, proces szybki

Suche - w atmosferze suchego tlenu, temp. 1200°C, proces bardziej precyzyjny

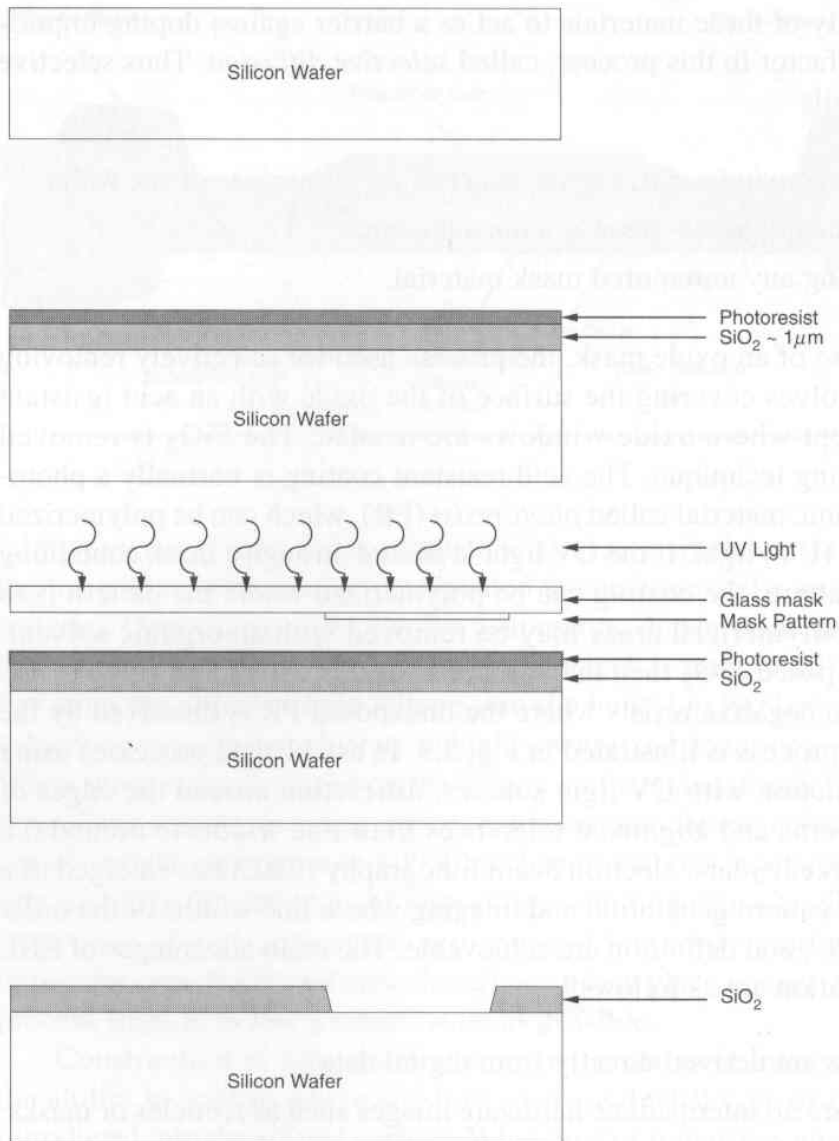
Epitaksja, depozycja, Implantacja jonowa i dyfuzja - jako sposoby wprowadzania donorów lub akceptorów do krzemu

Epitaksja - „hodowanie” cienkiej warstwy krystalicznej na podłożu krzemowym poprzez działanie na krzem domieszką w trakcie wzrostu temperatury.

Depozycja - domieszki najczęściej są wyparowywane i osadzają się na krzemie.

Implantacja jonowa - działanie na krzem silnie energetycznymi jonami domieszek.

Dyfuzja - temperatura procesu >800 oC



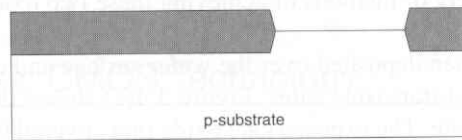
Uproszczone etapy precyzyjnego nakładania warstwy izolacyjnej SiO_2

Procesy technologiczne tranzystora nMOS

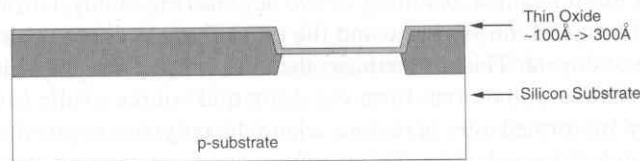
Proces technologiczny bramki

Polysilicon - własności fizyczne, materiał do budowy elektrody bramki (jest powtórnie wykorzystany jako maska definiująca precyzyjne położenie źródła i drenu). Krzem nałożony na tlenek tworzy polikrzem.

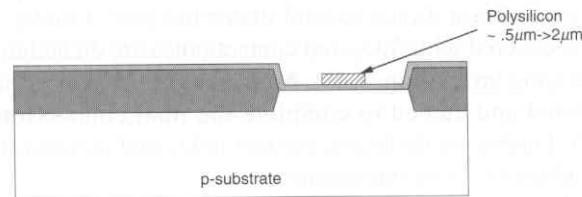
Podłoże z warstwą SiO_2
warstwa gruba



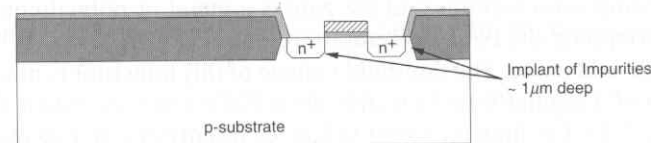
Nakładanie b. cienkiej warstwy tlenku bramki



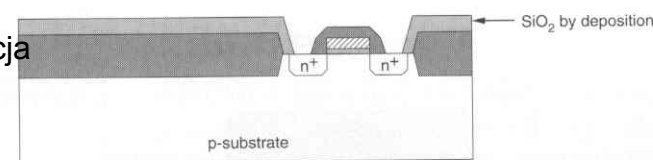
Nakładanie polikrzemu



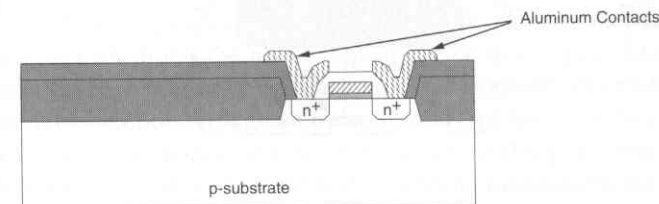
Dyfuzja lub implantacja domieszek



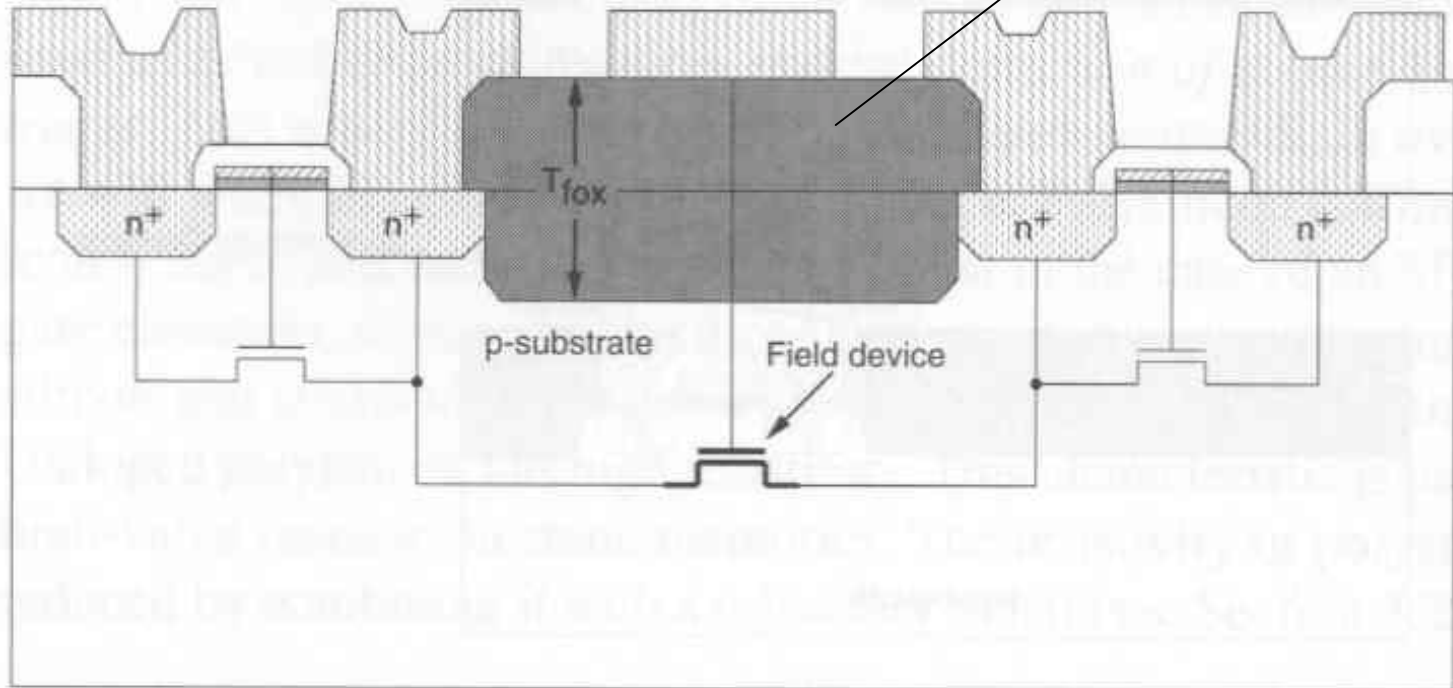
Warstwa SiO_2 jako izolacja przed naniesieniem kontaktów



Nałożenie warstwy (kontaktów) aluminium



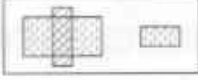








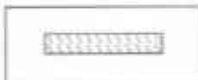





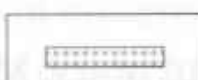
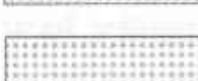



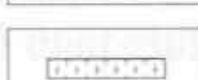





Tlenek gruby (Field oxide)



Tranzystor pasożytniczy

Proces CMOS n-well- konwencja oznaczeń

Process Cross-sections	Mask Layouts	Symbolic Layouts
 Field Oxide	 n-well	 n ⁺ wire or transistor
 Gate Oxide	 active	 p ⁺ wire or transistor
 n-well	 n ⁺ select or n ⁺ diffusion	 Contacts (poly, n ⁺ , p ⁺)
 n ⁺ /p ⁺ Diffusion	 p ⁺ select or p ⁺ diffusion	 Metal 1
 Polysilicon	 Polysilicon	 Via
 Metal 1	 Contact	 Metal 2
 Metal 2	 Metal 1	 Via 2
	 Via	 Metal 3
	 Metal 2	
	 Via 2	
	 Metal 3	

Przebieg typowego procesu n-well CMOS

**Nanoszenie studni typu n.
Implantacja jonowa lub depozycja i dyfuzja**

Aktywna maska do budowy cienkich warstw tlenkowych bramek, „maskuje” obszar podłoża w czasie dyfuzji domieszek

Maska fotorezystora

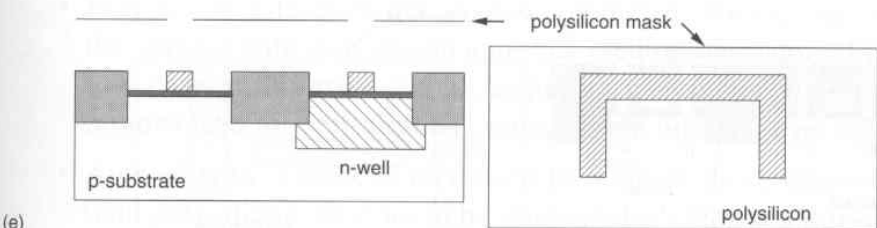
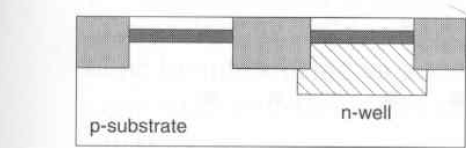
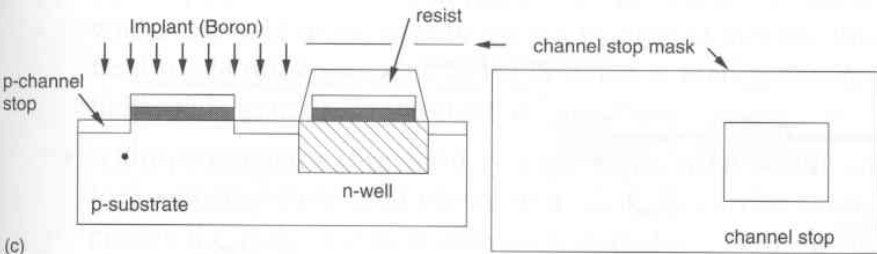
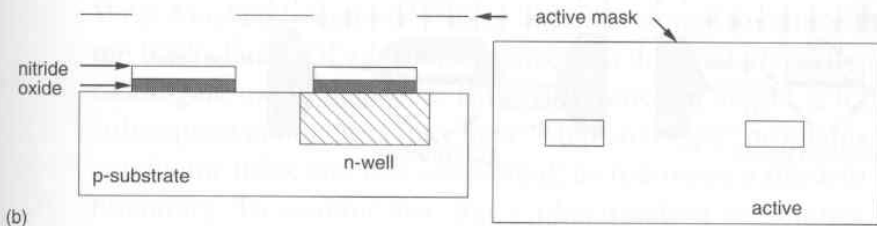
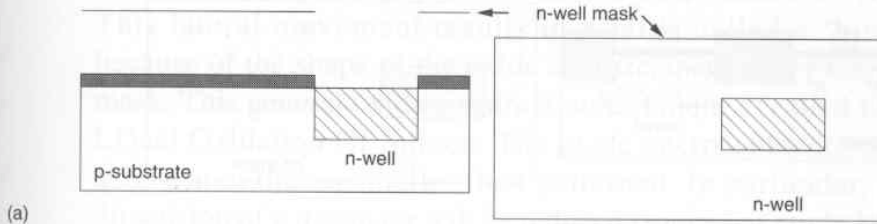
Hodowanie grubej warstwy tlenku bez maski

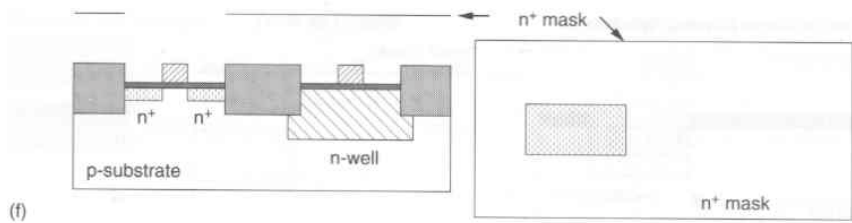
Maska polikrzemu.

cdn.

Cross Section of Physical Structure

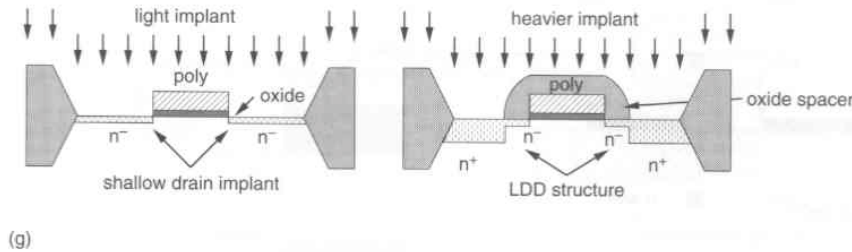
Mask (Top View)



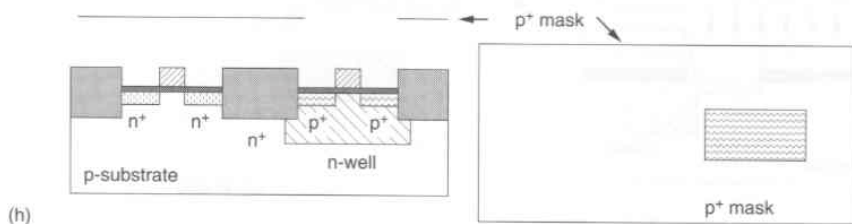


Maska obszarów dyfuzji n⁺

Dyfuzja domieszek przez cienką warstwę SiO₂
 Implantacja n⁺ na podłożu n daje kontakt „omowy”
 tzn. nie diodowy n-p, (nie zaznaczony na rysunku)

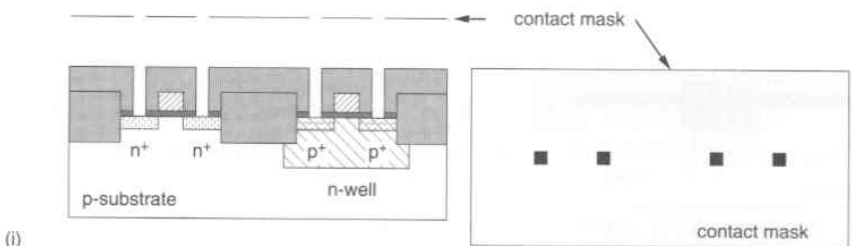


Dwuetapowa dyfuzja domieszek n⁺ aby
 powiększyć długość kanału dla uniknięcia
 „przeskoków gorących elektronów w warst. n⁺”
 Po dyfuzji „ciężkiej” usunięcie warstwy tlenku

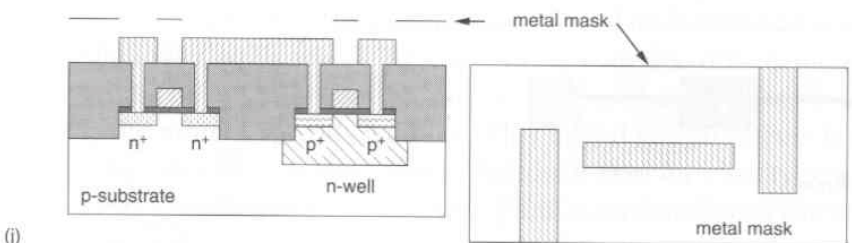


Dyfuzja domieszek p⁺

Tutaj nie występuje efekt „gorących elektronów” -
 proces jednoetapowy

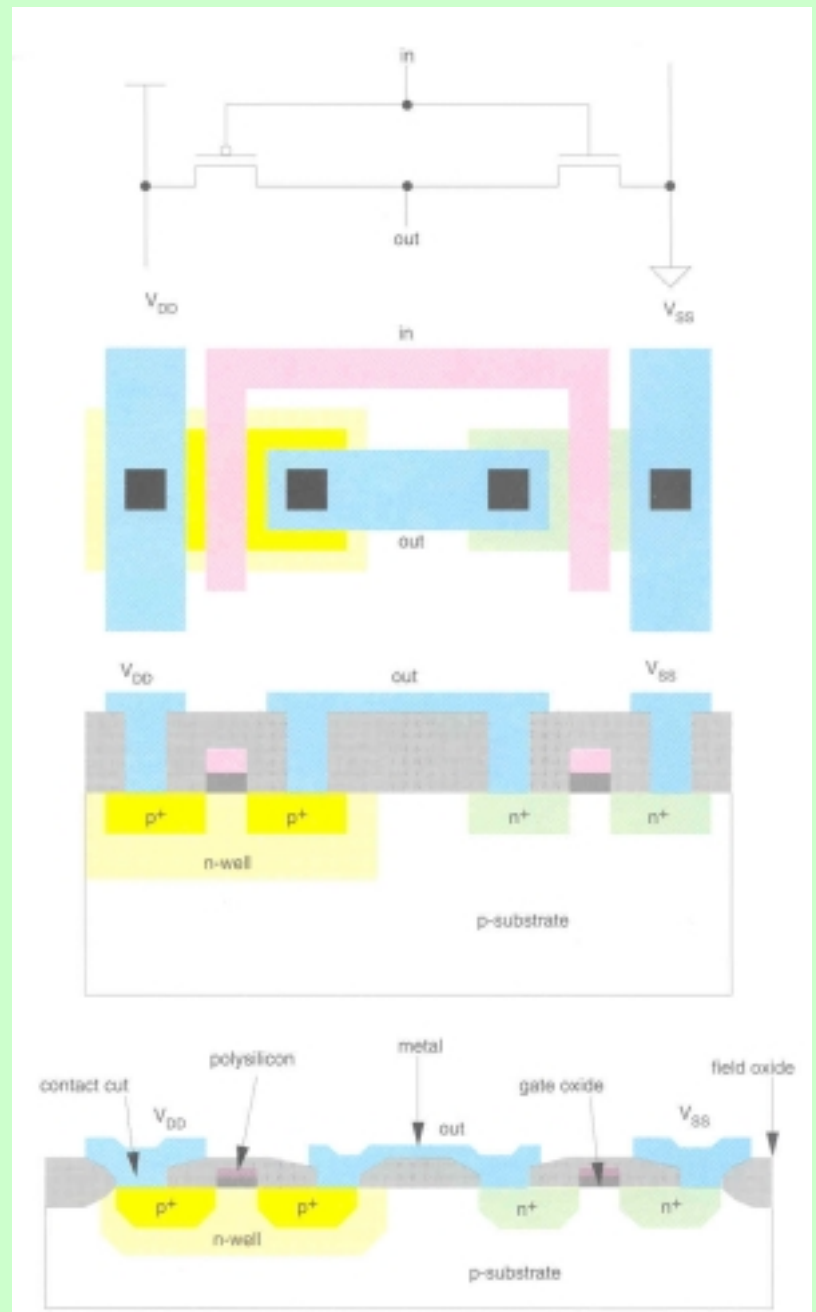
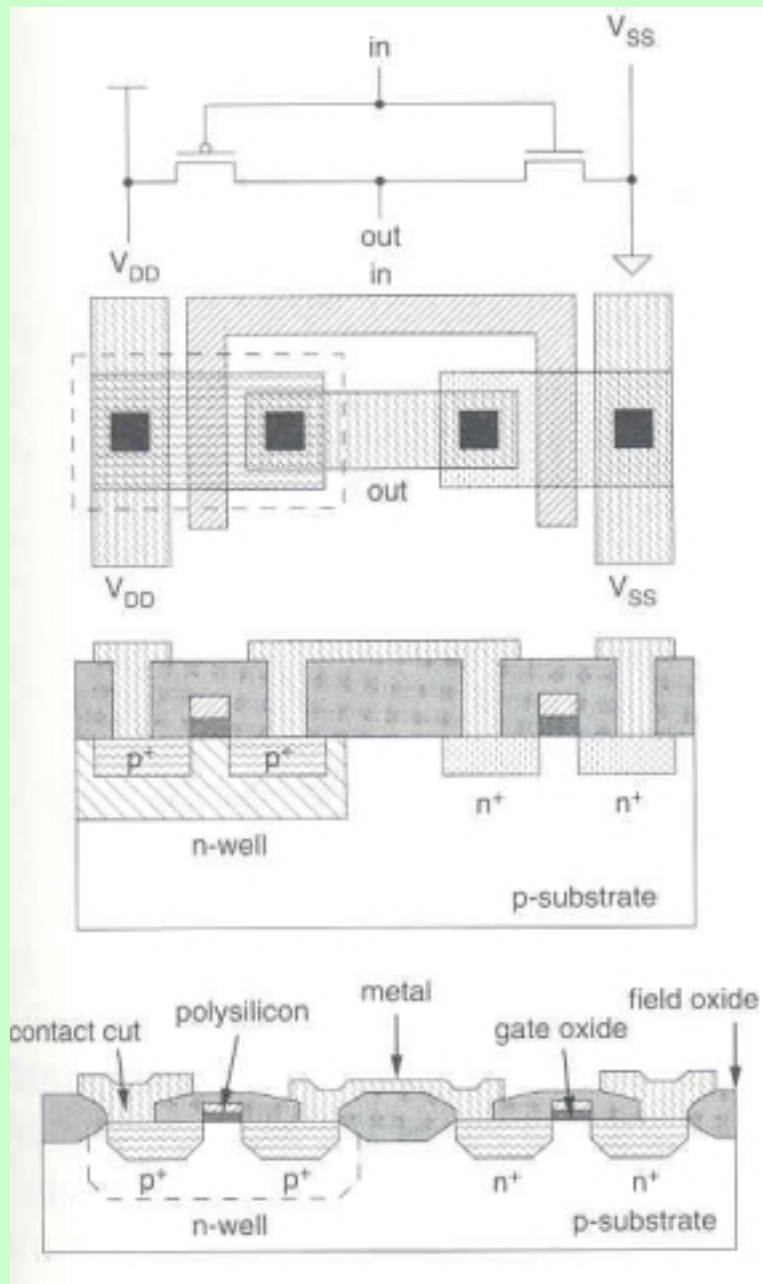


Kontakty metalowe



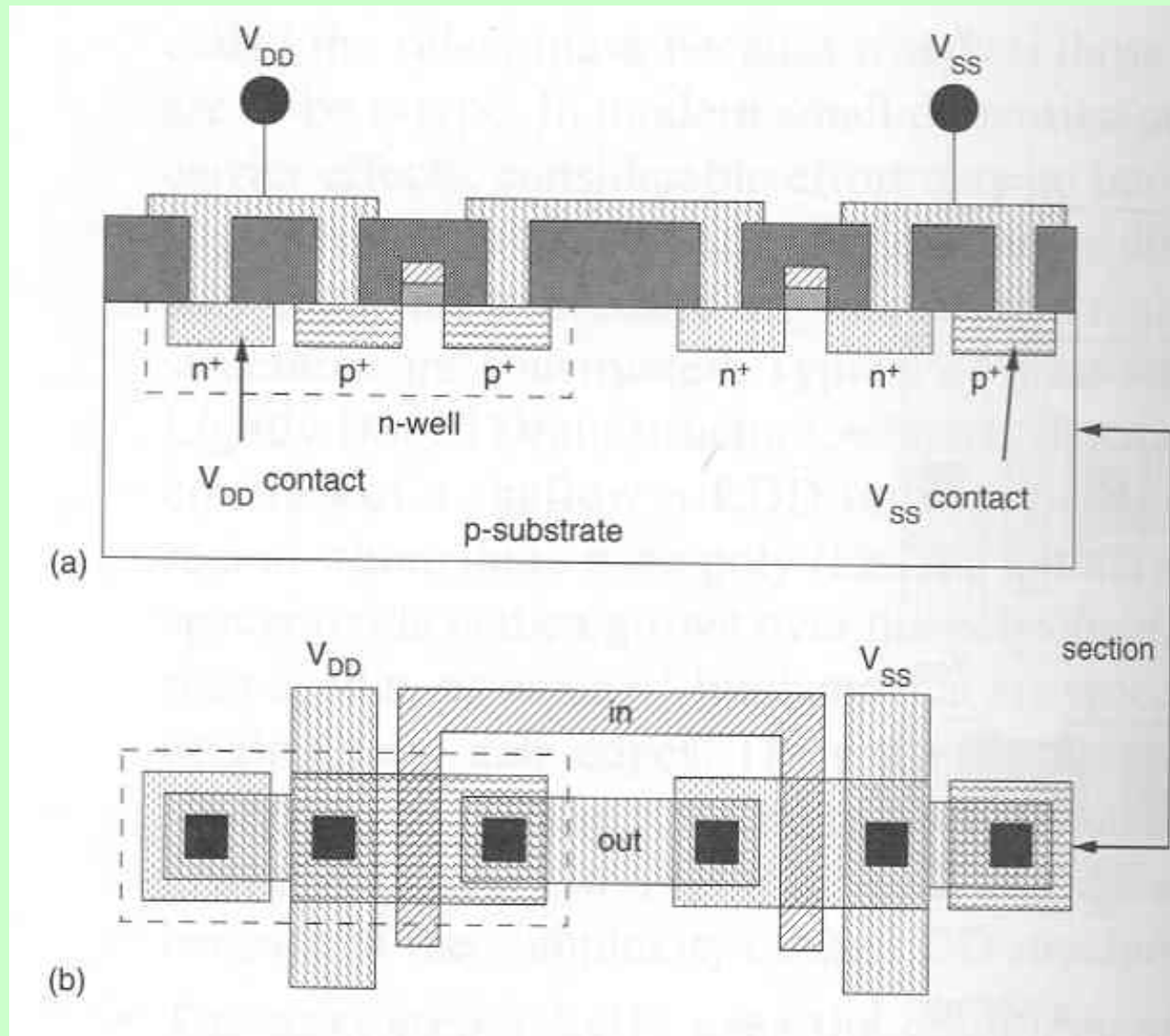
Połączenia metalowe

Ostatni etap - pady (nie zaznaczone)

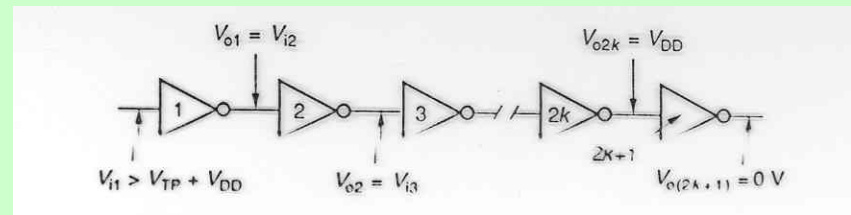


Przekrój inwertera CMOS, proces n-well

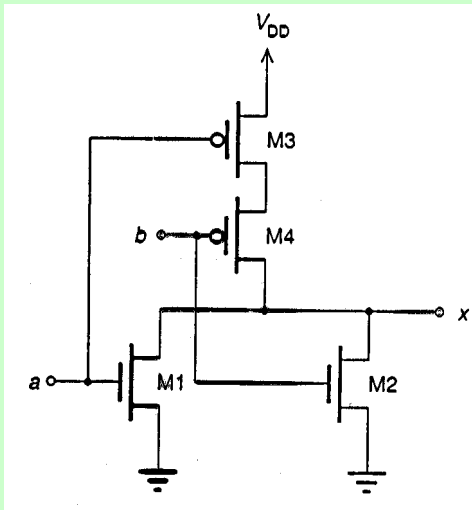
Proces CMOS, p-well (dualny do n-well)



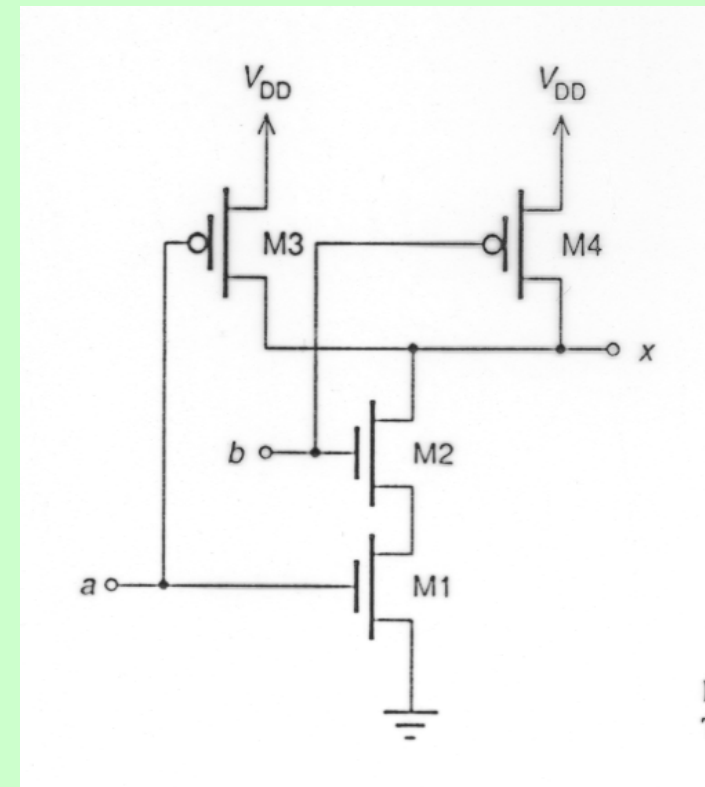
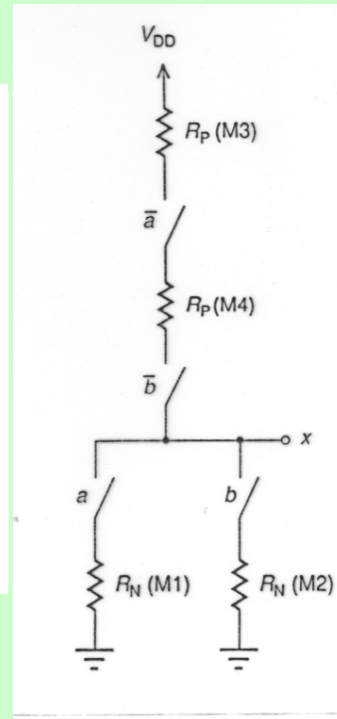
Uwaga: Proces p-well pozwala uzyskać lepsze tranzystory typu p, niż proces n-well.



CMOSowa kaskada inwerterów



bramka CMOS NOR



bramka CMOS AND