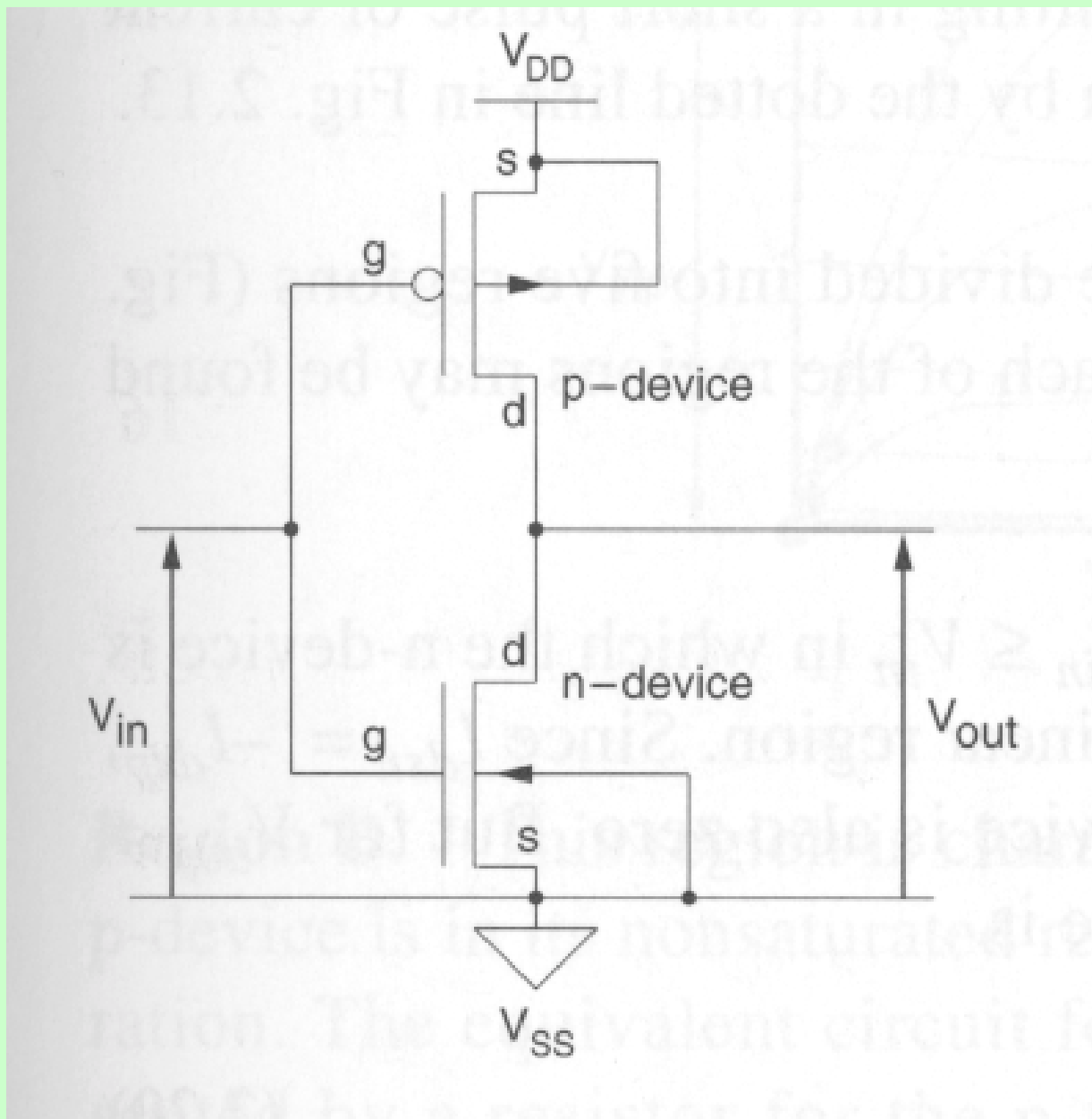
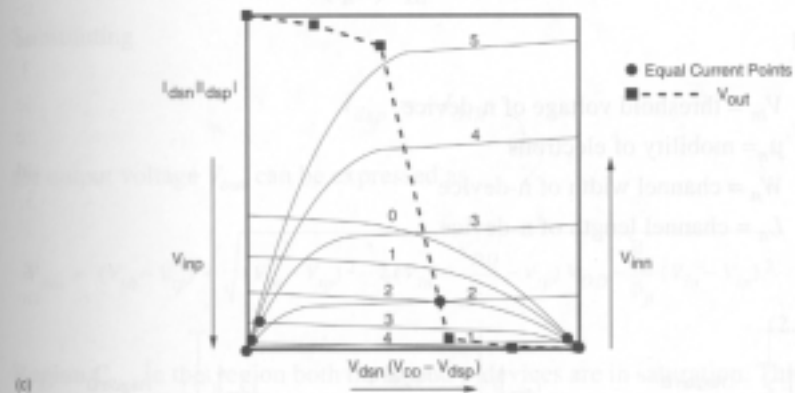
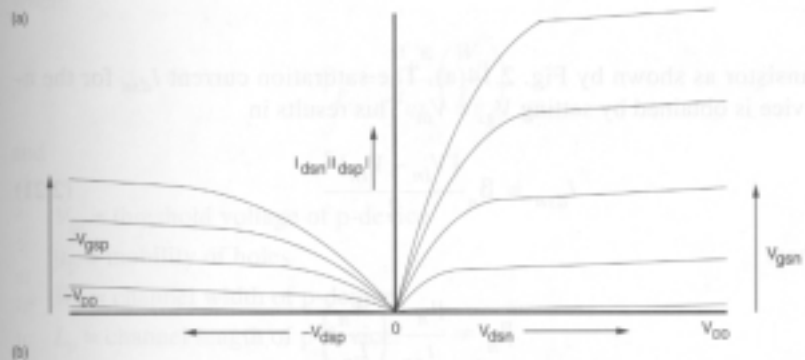
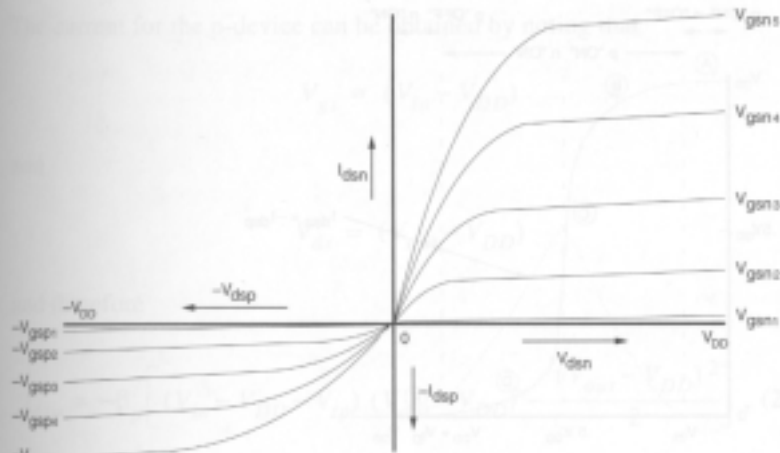


CHARAKTERYSTYKI STAŁOPRĄDOWE INWERTERA CMOS



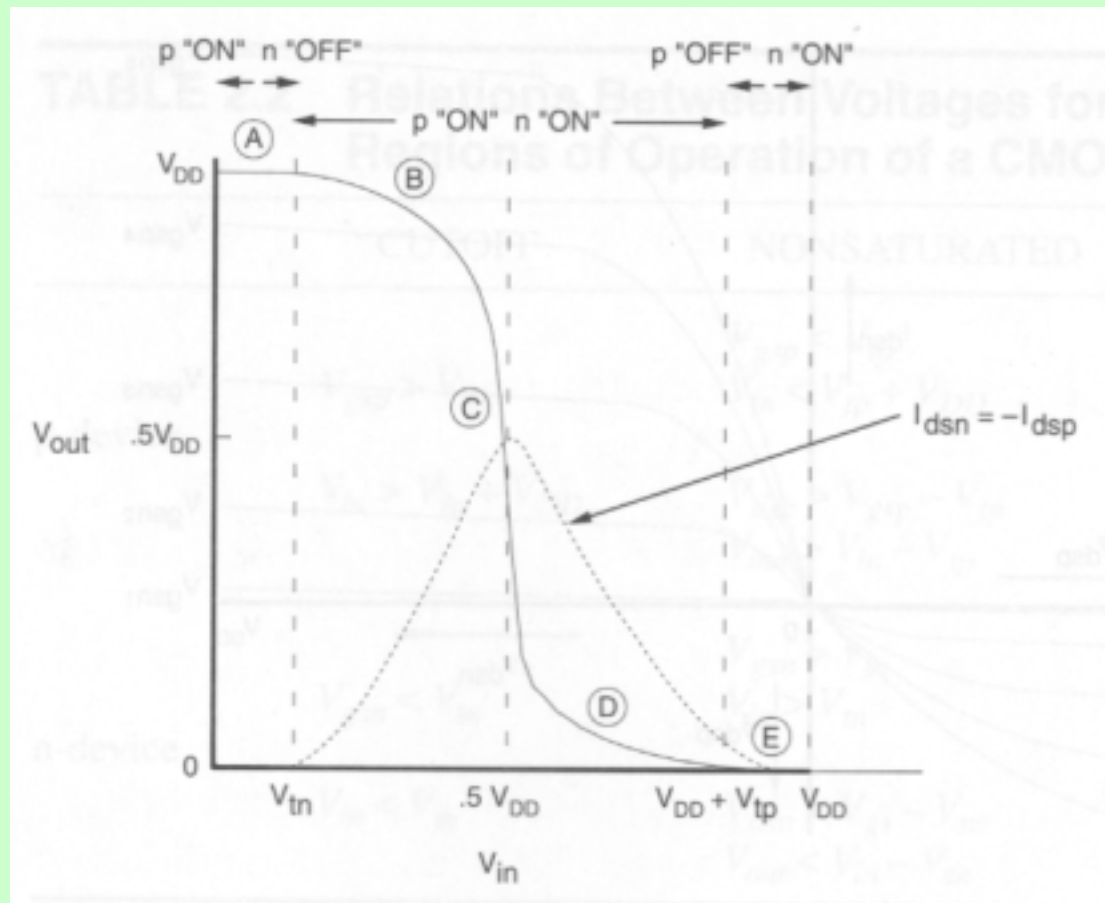


Charakterystyki statyczne komplementarnych tranzystorów inwertera

Odbicie zwierciadlane „dolnych krzywych” względem osi x.

Punkty wspólne charakterystyk obu tranzystorów wyznaczają charakterystykę *input/output*

Charakterystyka przejścia inwertera CMOS z zaznaczonymi obszarami pracy



Obszar **A** - $0 \leq V_{in} \leq V_{tn}$ tranzystor typu n jest odcięty (cut off), $I_{dsn} = 0$, tranzystor p jest w obszarze liniowym. Ponieważ $I_{dsn} = -I_{dsp}$, to prąd drenu tranzystora typu p równa się zero. Lecz dla $V_{dsp} = V_{out} - V_{DD}$ i $V_{dsp} = 0$ mamy: $V_{out} = V_{DD}$

Obszar **B** - $V_{tn} \leq V_{in} \leq V_{DD}/2$, tranzystor p jest w obszarze nienasyconym ($V_{ds} \neq 0$) , podczas gdy tranzystor typu n jest w stanie nasycenia. Prąd nasycenia I_{dsn} tranzystora typu n można obliczyć podstawiając $V_{gs} = V_{in}$

$$I_{dsn} = \beta_n \frac{[V_{in} - V_{tn}]^2}{2}$$

Prąd I_{dsp} może być obliczony, podstawiając

$$V_{gs} = V_{in} - V_{DD}$$

$$V_{ds} = V_{out} - V_{DD}$$

$$I_{dsp} = -\beta_p [(V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2}]$$

Podstawiając

$$I_{dsp} = -I_{dsn}$$

Otrzymujemy

$$V_{out} = (V_{in} - V_{tp}) + \sqrt{(V_{in} - V_{tp})^2 - 2(V_{in} - \frac{V_{DD}}{2} - V_{tp})V_{DD} - \frac{\beta_n}{\beta_p}(V_{in} - V_{tn})^2}$$

Obszar **C**- Oba tranzystory są w stanie nasycenia (źródła prądowe).

Prądy nasycenia obu tranzystorów:

$$I_{dsp} = -\frac{\beta_p}{2}(V_{in} - V_{DD} - V_{tp})^2$$

$$I_{dsn} = -\frac{\beta_n}{2}(V_{in} - V_{tn})^2$$

$$I_{dsp} = -I_{dsn}$$

Otrzymujemy

$$V_{in} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

Podstawiając

$$\beta_n = \beta_p \quad \text{i} \quad V_{tn} = -V_{tp}$$

Mamy

$$V_{in} = \frac{V_{DD}}{2}$$

Obszar **D** - Tranzystor typu p jest nasycony, podczas gdy tranzystor typu n pracuje w obszarze liniowym. W tym obszarze mamy: $V_{DD}/2 < V_{in} < V_{DD} + V_{tp}$
Natężenia prądów obu tranzystorów:

$$I_{dsp} = \frac{1}{2} \beta_p (V_{in} - V_{DD} - V_{tp})^2$$

$$I_{dsn} = \frac{1}{2} \beta_n [(V_{in} - V_{tn})V_{out} - \frac{V_{out}^2}{2}]$$

Przy założeniu, że $I_{dsp} = -I_{dsn}$ otrzymujemy

$$V_{out} = (V_{in} - V_{tn}) - \sqrt{(V_{in} - V_{tn})^2 - \frac{\beta_p}{\beta_n} (V_{in} - V_{DD} - V_{tp})^2}$$

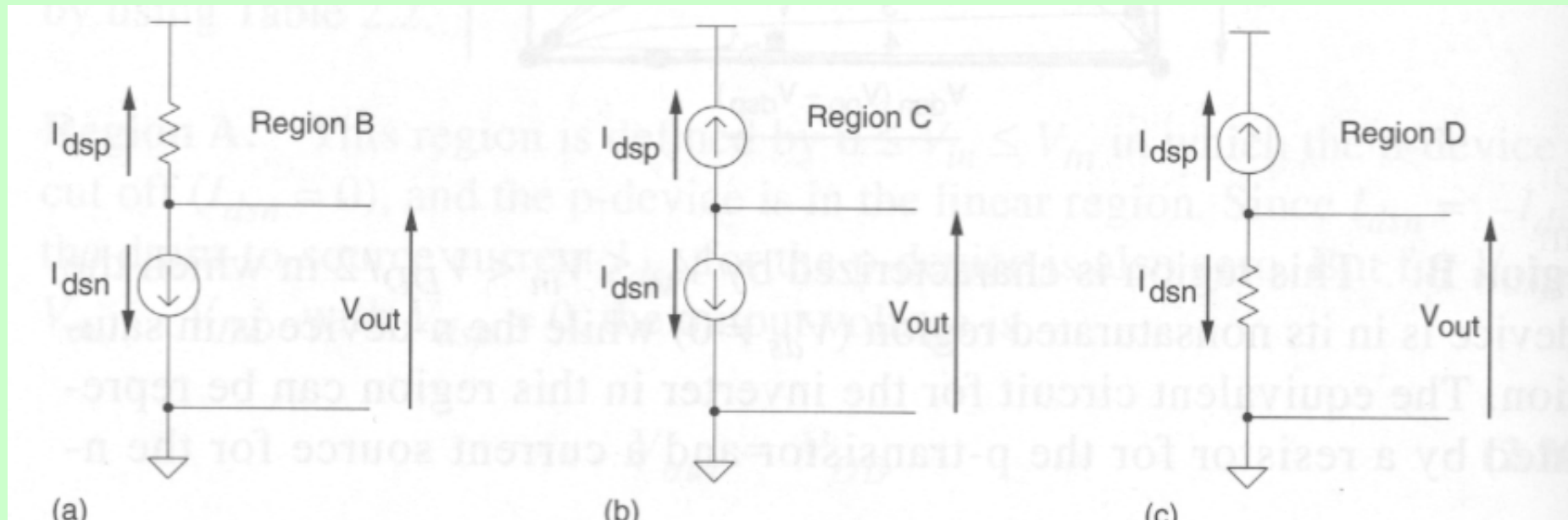
Obszar **E** - Tranzystor typu p jest odcięty, tranzystor typu n jest w obszarze liniowym.
Na wyjściu mamy

$$V_{out} = 0$$

Streszczenie opisu obszarów charakterystycznych

REGION	CONDITION	p-device	n-device	OUTPUT
A	$0 \leq V_{in} < V_{tn}$	nonsaturated	cutoff	$V_{out} = V_{DD}$
B	$V_{tn} \leq V_{in} < \frac{V_{DD}}{2}$	nonsaturated	saturated	Eq. (2.23)
C	$V_{in} = \frac{V_{DD}}{2}$	saturated	saturated	$V_{out} \neq f(V_{in})$
D	$\frac{V_{DD}}{2} < V_{in} \leq V_{DD} - V_{tp} $	saturated	nonsaturated	Eq. (2.27)
E	$V_{in} > V_{DD} - V_{tp} $	cutoff	nonsaturated	$V_{out} = V_{SS}$

Obwody równoważne dla obszarów pracy



Wpływ stosunku $\frac{\beta_n}{\beta_p}$ i $\frac{W_n}{W_p}$ na kształt charakterystyk przejścia inwertera

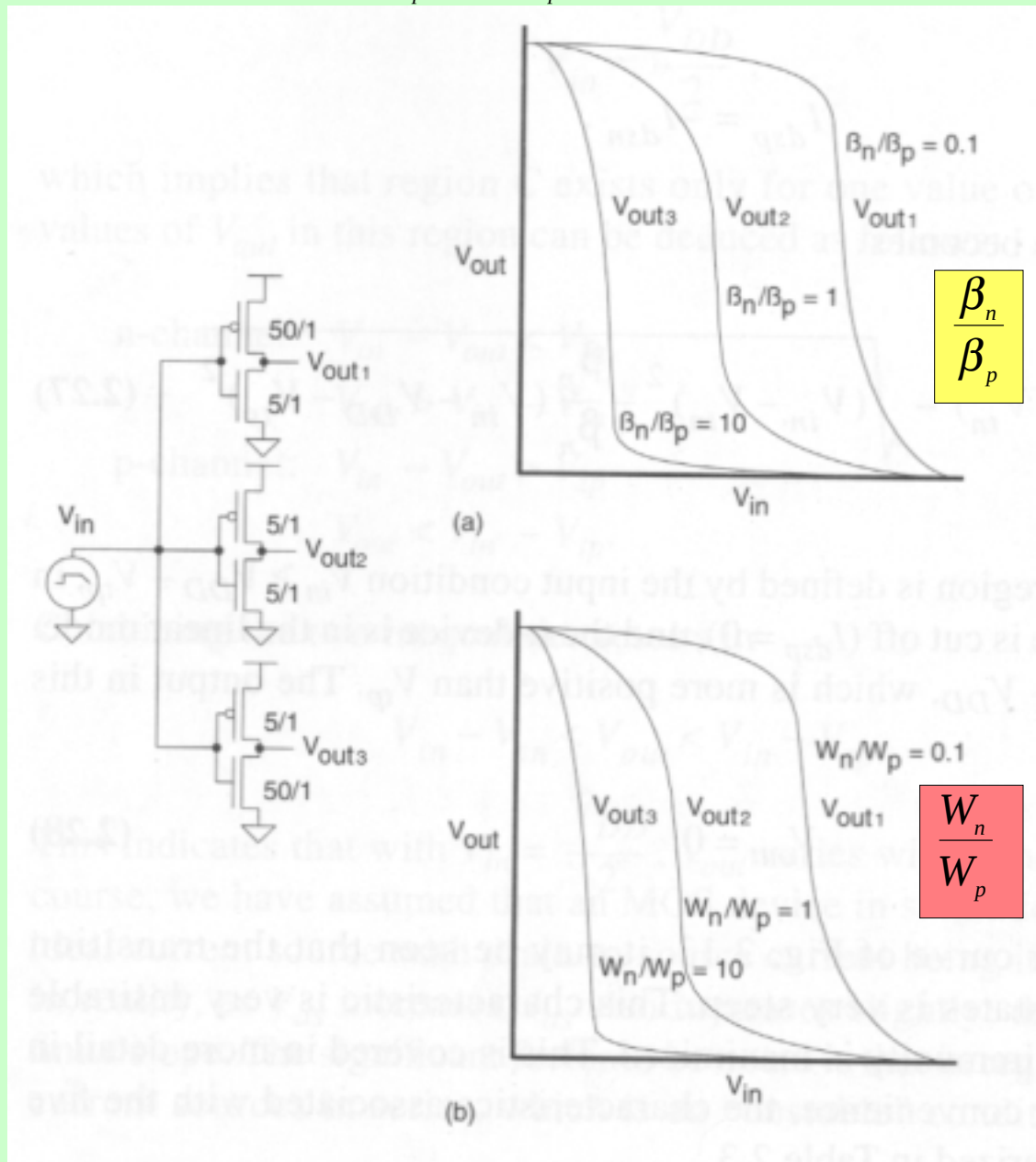
Ze wzrostem temperatury maleje ruchliwość ładunków.

$$\mu = \beta \alpha T^{-1.5}$$

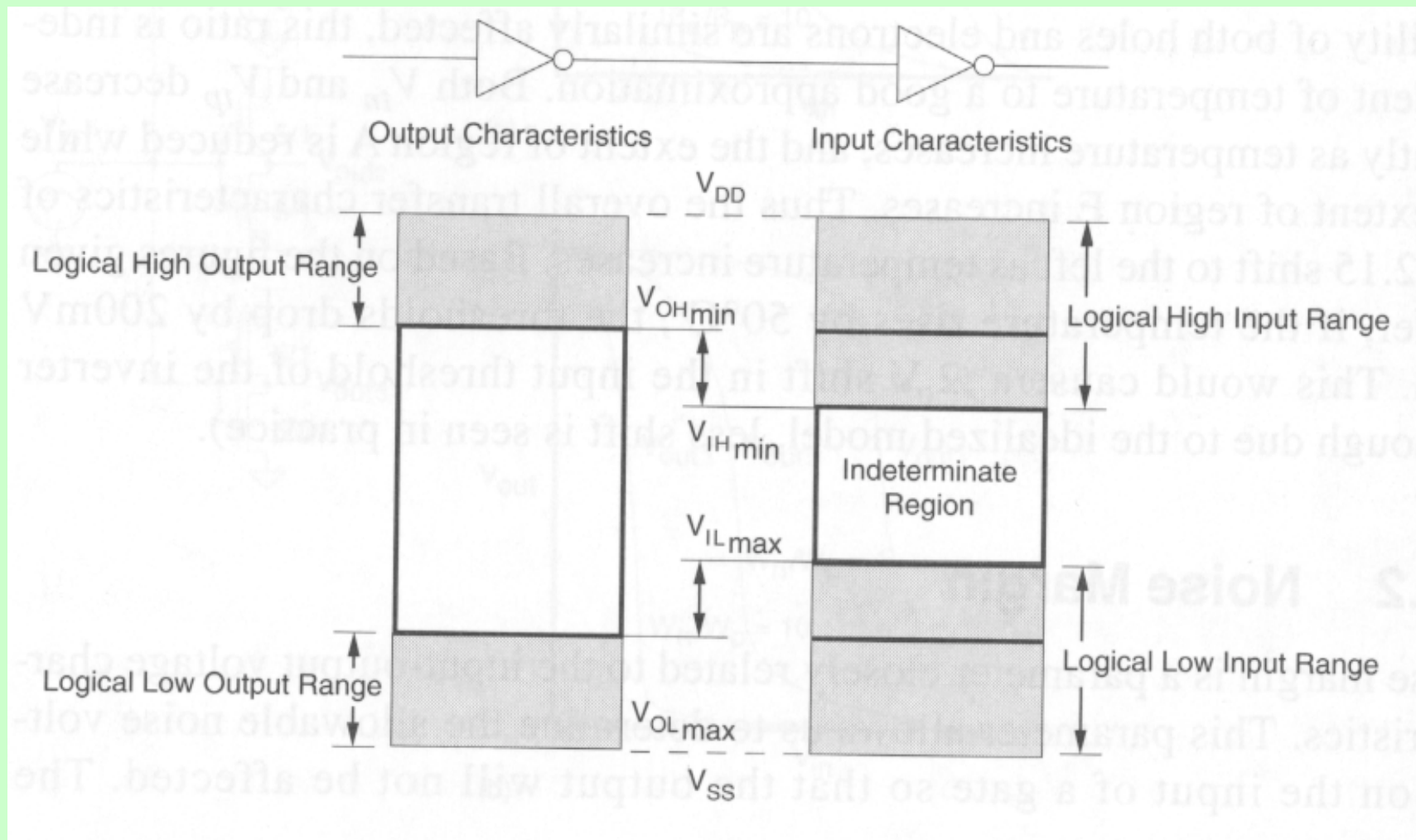
Podobnie zachowuje się prąd

$$I_{ds} = I_{ds0} \alpha T^{-1.5}$$

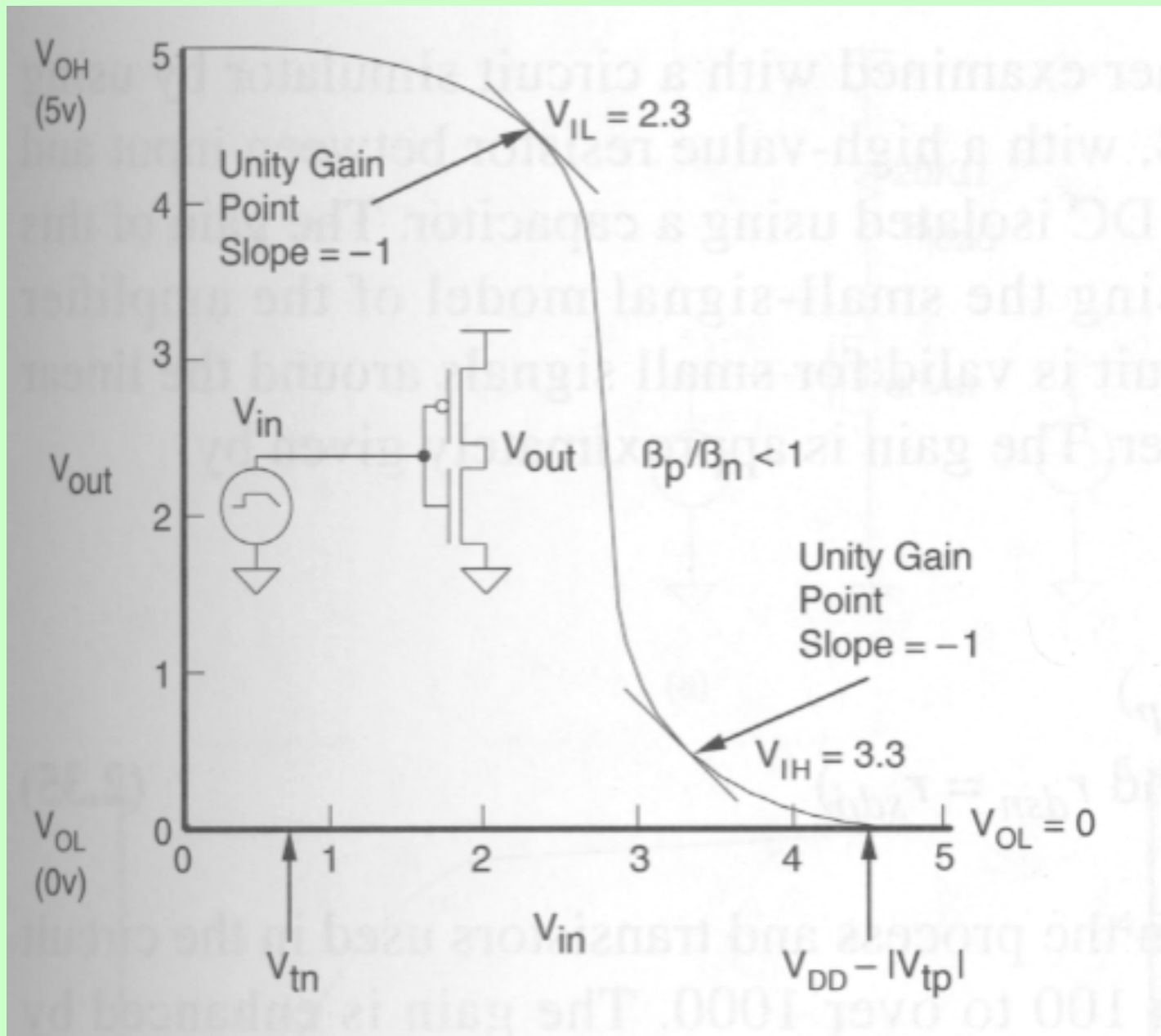
α - współczynnik



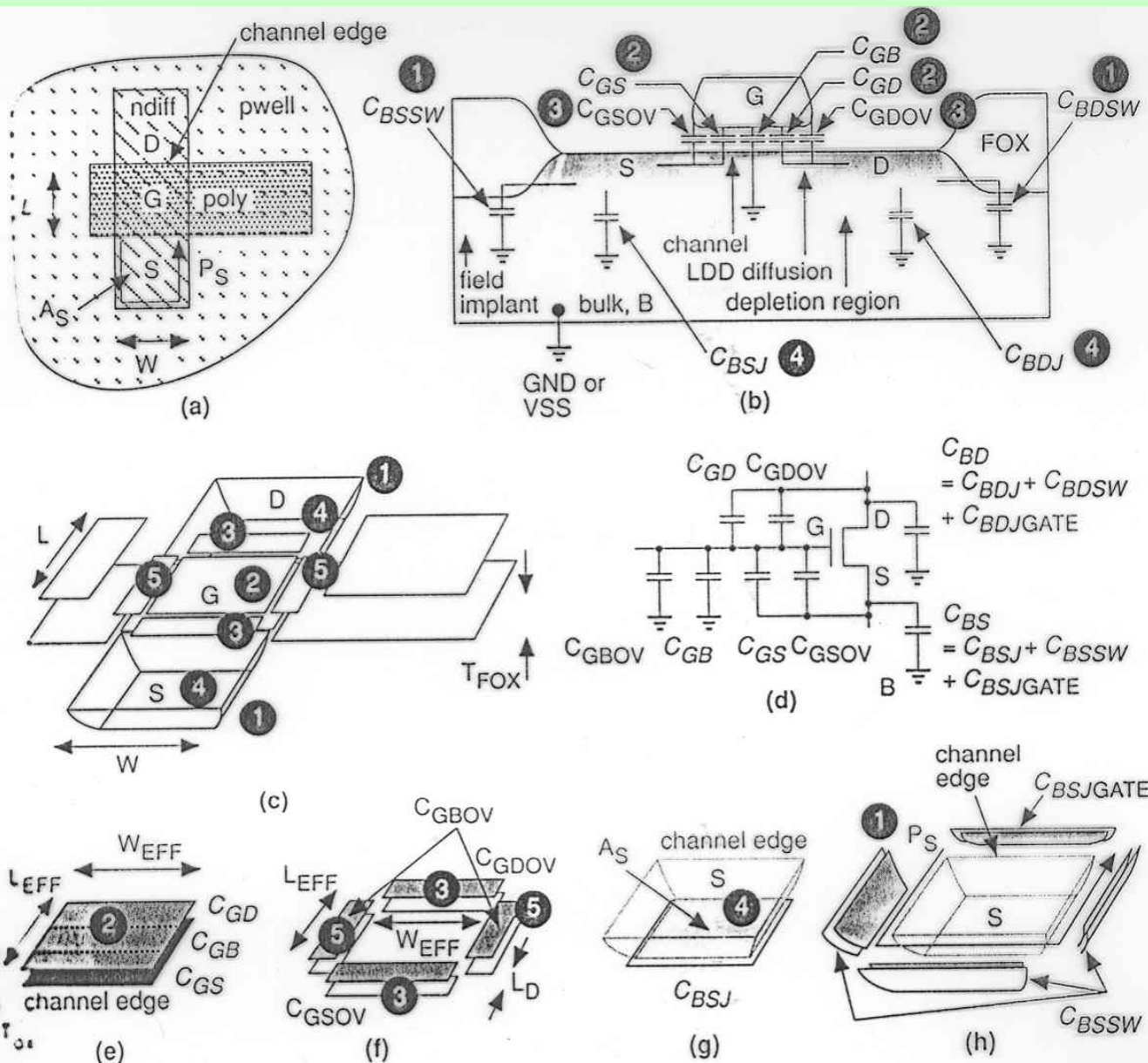
Definicja marginesu zakłóceń



Marginesy zakłóceń na charakterystyce przejścia inwertera



Tranzystor MOS jako element gromadzący energię potencjalną



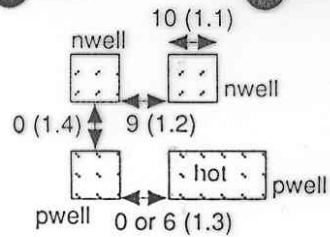
Wartości typowych pojemności pasożytniczych

TABLE 3.1 Calculations of parasitic capacitances for an n-channel MOS transistor.

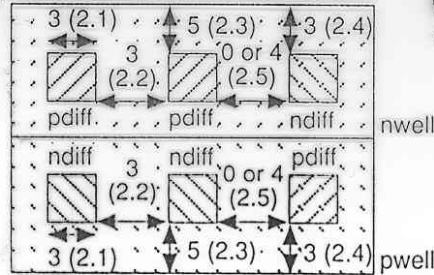
Spice	Equation	Values ¹ for $V_{GS} = 0V$, $V_{DS} = 3V$, $V_{SB} = 0V$
CBD	$C_{BD} = C_{BDJ} + C_{BD SW}$	$C_{BD} = 1.855 \times 10^{-15} + 2.04 \times 10^{-16} = 2.06 \times 10^{-15} F$
	$C_{BDJ} = A_D C_J (1 + V_{DB}/\phi_B)^{-m_J}$ ($\phi_B = PB$)	$C_{BDJ} = (4.032 \times 10^{-15}) (1 + (3/1))^{-0.56}$ $= 1.8550983 \times 10^{-15} F$
	$C_{BD SW} = P_D C_{JSW} (1 + V_{DB}/\phi_B)^{-m_{JSW}}$ (P_D may or may not include channel edge)	$C_{BD SW} = (4.2 \times 10^{-16}) (1 + (3/1))^{-0.52}$ $= 2.0425754 \times 10^{-16} F$
CBS	$C_{BS} = C_{BSJ} + C_{BS SW}$	$C_{BS} = 4.032 \times 10^{-15} + 4.2 \times 10^{-16} = 4.452 \times 10^{-15} F$
	$C_{BSJ} = A_S C_J (1 + V_{SB}/\phi_B)^{-m_J}$	$A_S C_J = (7.2 \times 10^{-12}) (5.6 \times 10^{-4}) = 4.032 \times 10^{-15} F$
	$C_{BS SW} = P_S C_{JSW} (1 + V_{SB}/\phi_B)^{-m_{JSW}}$	$P_S C_{JSW} = (8.4 \times 10^{-6}) (5 \times 10^{-11}) = 4.2 \times 10^{-16} F$
CBSOV	$C_{BSOV} = W_{EFF} C_{GSO} ; W_{EFF} = W - 2W_D$	$C_{BSOV} = (6 \times 10^{-6}) (3 \times 10^{-10}) = 1.8 \times 10^{-16} F$
CBSOV	$C_{GDOV} = W_{EFF} C_{GSO}$	$C_{GDOV} = (6 \times 10^{-6}) (3 \times 10^{-10}) = 1.8 \times 10^{-16} F$
CBSOV	$C_{GBOV} = L_{EFF} C_{GBO} ; L_{EFF} = L - 2L_D$	$C_{GBOV} = (0.5 \times 10^{-6}) (4 \times 10^{-10}) = 2 \times 10^{-16} F$
COS	$C_{GS}/C_O = 0 \text{ (off)}, 0.5 \text{ (lin.)}, 0.66 \text{ (sat.)}$ $C_O \text{ (oxide capacitance)} = \frac{W_{EFF} L_{EFF} \epsilon_{ox}}{T_{ox}}$	$C_O = (6 \times 10^{-6}) (0.5 \times 10^{-6}) (0.00345)$ $= 1.035 \times 10^{-14} F$ $C_{GS} = 0.0 F$
COD	$C_{GD}/C_O = 0 \text{ (off)}, 0.5 \text{ (lin.)}, = 0 \text{ (sat.)}$	$C_{GD} = 0.0 F$
CGB	$C_{GB} = 0 \text{ (on)}, = C_O \text{ in series with } C_S \text{ (off)}$	$C_{GB} = 3.88 \times 10^{-15} F$, C_S = depletion capacitance

Reguły projektowania

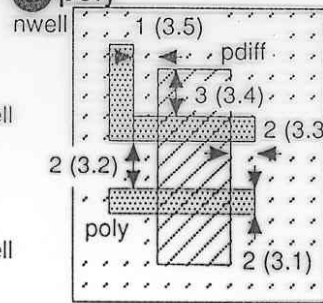
1 well



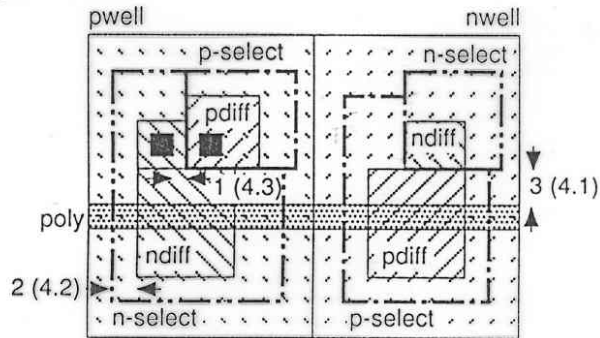
2 active



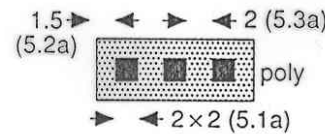
3 poly



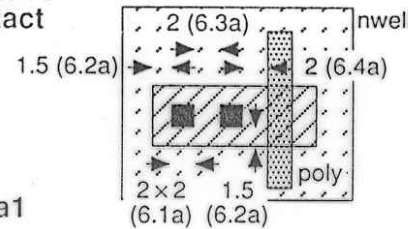
4 select



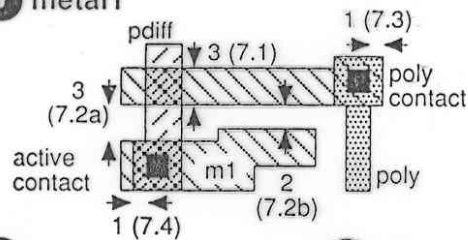
5 poly contact



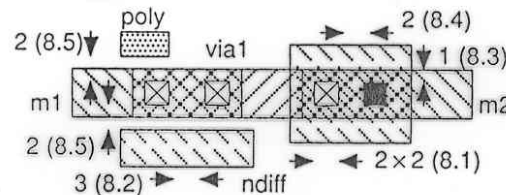
6 active contact



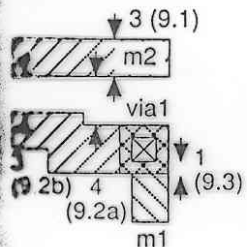
7 metal1



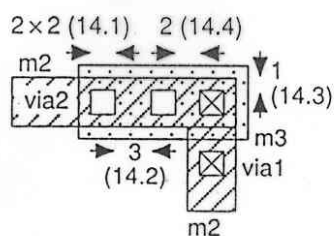
8 via1



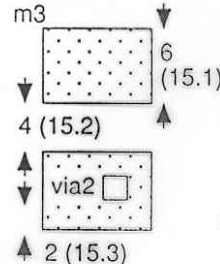
9 metal2



14 via2



15 metal3



10 overglass (microns)

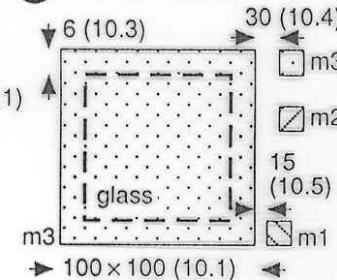


TABLE 2A.1
Process scenario of major process steps in typical NMOS process^a

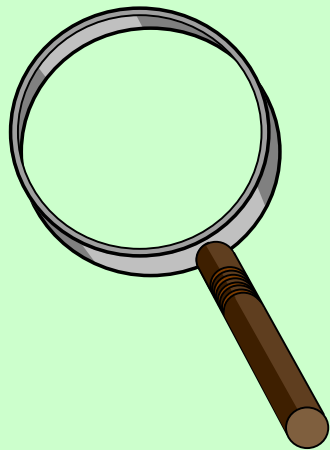
1. Clean wafer	
2. GROW THIN OXIDE	
3. Deposit Si ₃ N ₄	
4. Apply photoresist layer	
5. PATTERN ANTIMOAT	(MASK #1)
6. Develop photoresist	
7. Etch Si ₃ N ₄	
8. FIELD IMPLANT	
9. Strip photoresist	
10. GROW FIELD OXIDE	
11. Strip Si ₃ N ₄	
12. Strip thin oxide	
13. GROW THIN OXIDE	
14. Channel implant (optional)	
15. Apply photoresist	
16. PATTERN DEPLETION TRANSISTOR CHANNELS	(MASK #2)
17. Develop photoresist	
18. DEPLETION IMPLANT	
19. Strip photoresist	
20. Strip thin oxide	
21. GROW THIN OXIDE	
<i>Optional buried contact steps</i>	
A.1 Apply photoresist	
A.2 Pattern buried contact	(MASK #A)
A.3 Develop photoresist	
A.4 Etch SiO ₂ (open via for buried contacts)	
A.5 Strip photoresist	
22. POLYSILICON DEPOSITION (POLY I)	
23. Apply photoresist	
24. PATTERN POLY I	(MASK #3)
25. Develop photoresist	
26. Etch POLY I	
27. Strip photoresist	
<i>Optional second polysilicon layer</i>	
B.1 Strip thin oxide	
B.2 GROW THIN OXIDE	
B.3 POLYSILICON DEPOSITION (POLY II)	
B.4 Apply photoresist	
B.5 PATTERN POLY II	(MASK #B)
B.6 Develop photoresist	
B.7 ETCH POLY II	
B.8 Strip photoresist	
B.9 Strip thin oxide	

Etapy technologiczne procesu NMOS (maski)

TABLE 2A.1
(Continued)

28. CHANNEL DIFFUSION	
29. Grow oxide	
30. Apply photoresist	
31. PATTERN CONTACT OPENINGS	(MASK #4)
32. Develop photoresist	
33. ETCH OXIDE	
34. Strip photoresist	
35. DEPOSIT METAL	
36. Apply photoresist	
37. PATTERN METAL	(MASK #5)
38. Develop photoresist	
39. ETCH METAL	
40. Strip photoresist	
41. APPLY PASSIVATION	
42. Apply photoresist	
43. PATTERN PAD OPENINGS	(MASK #6)
44. Develop photoresist	
45. Etch passivation	
46. Strip photoresist	
47. ASSEMBLE PACKAGE AND TEST	

^aMajor functional steps shown in capital letters



Reguły projektowania typowego procesu NMOS

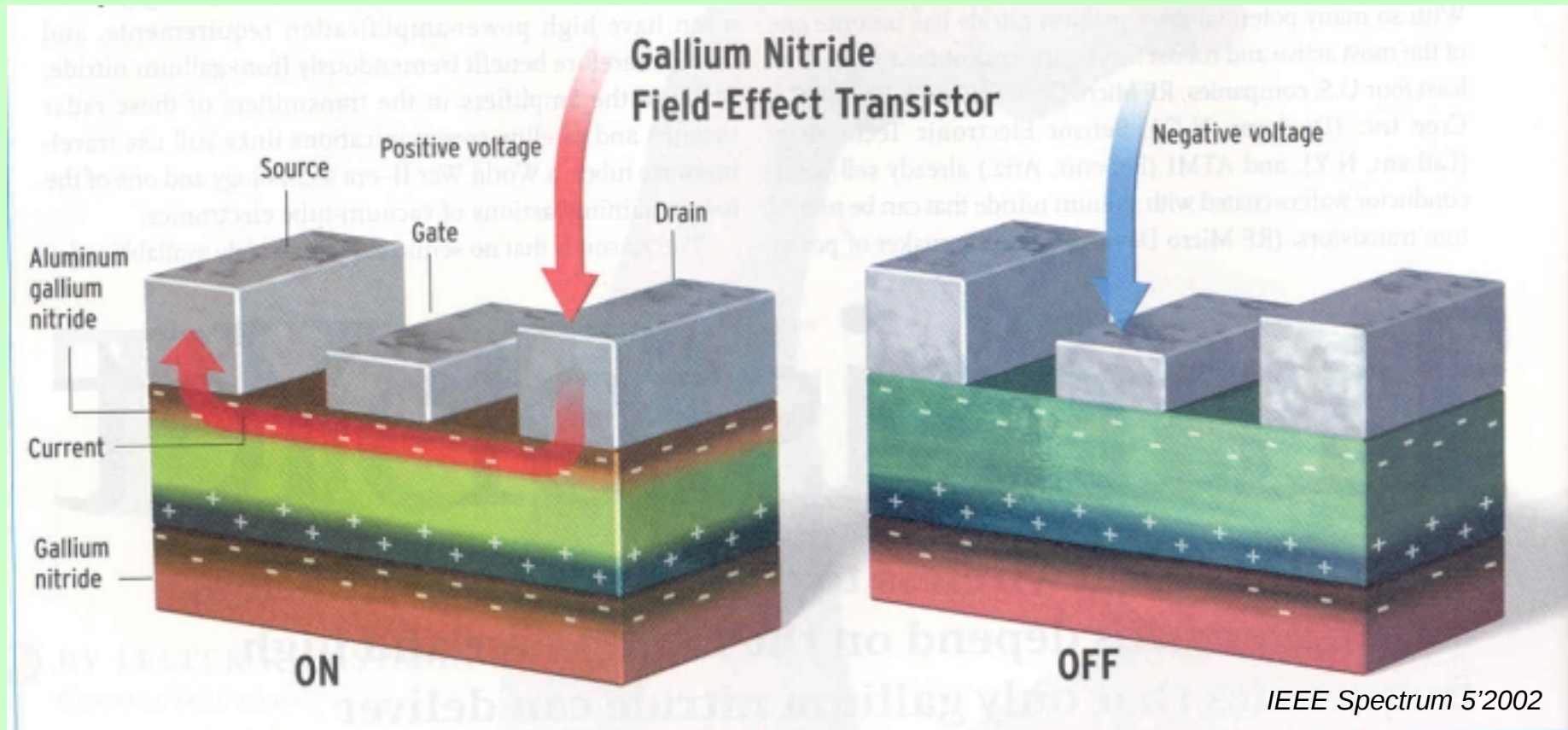
TABLE 2A.2
Design rules for a typical NMOS process
(See Table 2A.3 in color plates for graphical interpretation)

	Scalable dimension
1. n ⁺ Diffusion (moat) (CIF ^a Green, Mask #1) ^b	
1.1 Width	2λ
1.2 Spacing	3λ
2. Implant (CIF Yellow, Mask #2)	
2.1 Overlap of depletion transistor channel	2λ
2.2 Spacing to channel of enhancement transistor	1.5λ
3. Buried contact (CIF Brown, Mask #A)	
3.1 Spacing to transistor channel	2λ
3.2 Buried contact overlap of diffusion	2λ
3.3 Buried overlap of poly or field	λ
3.4 Buried contact space to unrelated poly or diffusion	2λ

TABLE 2A.2
(Continued)

	Scalable dimension
4. POLY I (CIF Red, Mask #3)	
4.1 Width	2λ
4.2 Spacing	2λ
4.3 Spacing to diffusion	λ
4.4 Overlap of channel diffusion	2λ
4.5 Distance to n ⁺ diffusion source or drain edge	2λ
5. Contact (CIF Black, Mask #4)	
5.1 Size (exactly)	2λ × 2λ
5.2 n ⁺ diffusion overlap of contact	λ
5.3 POLY I overlap of contact	λ
5.4 Contact-to-contact spacing	2λ
5.5 Contact-to-transistor channel spacing	2λ
5.6 Metal overlap of contact	λ
6. Metal (CIF Blue, Mask #5)	
6.1 Width	3λ
6.2 Spacing	3λ
6.3 Maximum current density	1 mA/μ width
6.4 Minimum bonding pad size	100 μ × 100 μ
6.5 Minimum probe pad size	75 μ × 75 μ
6.6 Minimum pad spacing	50 μ
6.7 Pad to circuitry	40 μ
7. Passivation (CIF Purple, Mask #6)	
7.1 Minimum bonding pad opening	90 μ × 90 μ
7.2 Minimum probe pad opening	65 μ × 65 μ
8. POLY II (CIF Purple, Mask #B)	
8.1 Width	2λ
8.2 Spacing	2λ
8.3 POLY I overlap of POLY II ^c	λ
8.4 Overlap of contact	2λ

NOWE MATERIAŁY NOWE TECHNOLOGIE

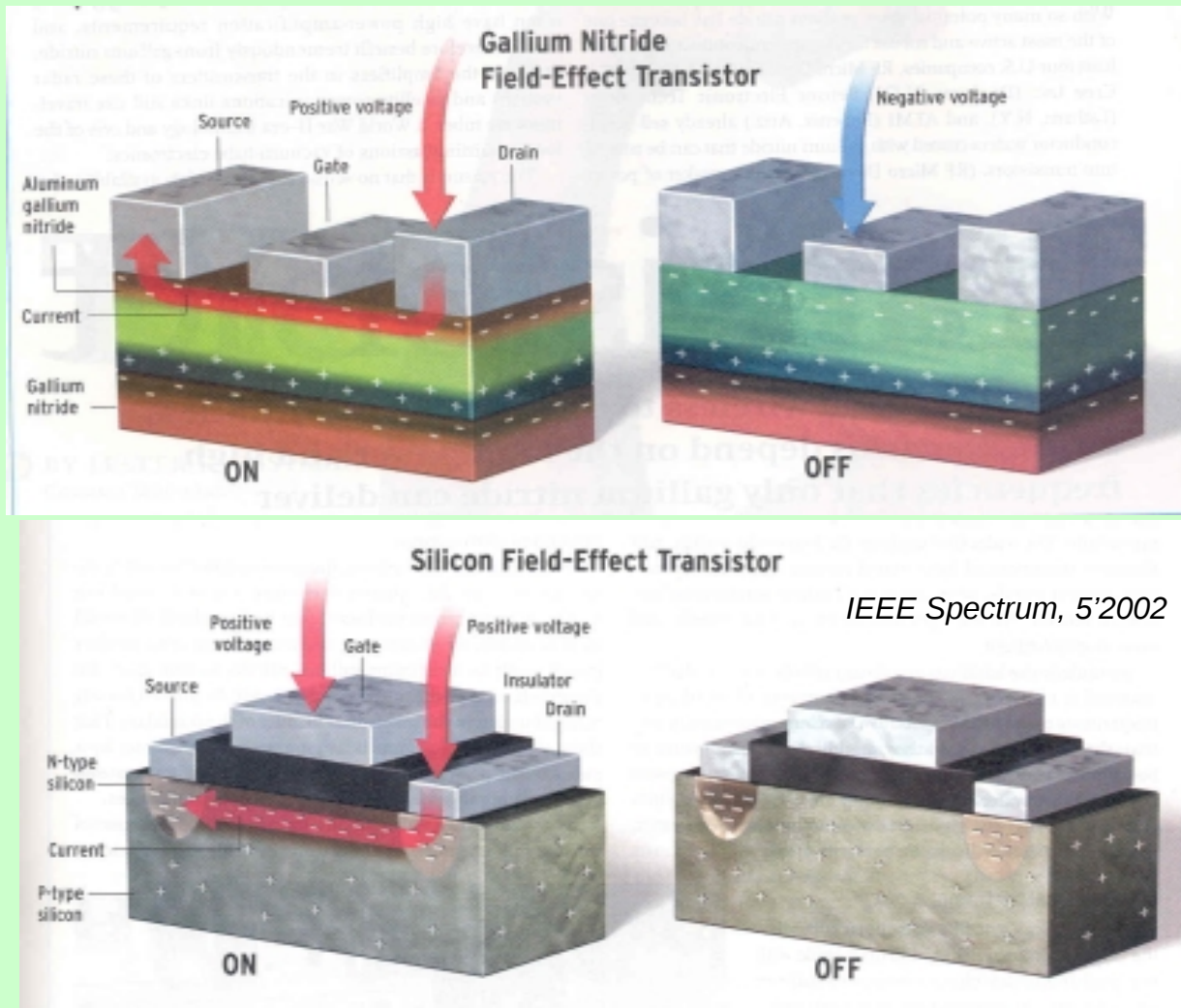


Nowy tranzystor FET GaN (azotek galu)

Motywacja poszukiwania nowych materiałów i technologii:

- W układach krzemowych 90% energii zasilania to straty
- Wyższe częstotliwości pracy
- Większy współczynnik wzmocnienia MOCY

PORÓWNANIE BUDOWY FET Si - FET GaN



Tranzystor GaN: Krótka bramka (krótki kanał),
Częstotliwość pracy 10-11GHz (dla Si tylko 2-3 GHz), Gęstość mocy 10W/mm długości bramki
(dla GaAs tylko 1W/mm dług. bramki), Temperatura pracy 300°C (dla Si tylko 140°C)

Where Gallium Nitride Outstrips Other Semiconductor Materials

IEEE Spectrum, 5/2002

Semiconductor (commonly used compounds)			Gallium arsenide (AlGaAs/ InGaAs)	Indium phosphide (InAlAs/ InGaAs) ^a	Silicon carbide	Gallium nitride (AlGaN/ GaN)
Characteristic	Unit	Silicon				
Bandgap	eV	1.1	1.42	1.35	3.26	3.49
Electron mobility at 300 K	cm ² /Vs	1500	8500	5400	700	1000- 2000
Saturated (peak) electron velocity	X10 ⁷ cm/s	1.0 (1.0)	1.3 (2.1)	1.0 (2.3)	2.0 (2.0)	1.3 (2.1)
Critical breakdown field	MV/cm	0.3	0.4	0.5	3.0	3.0
Thermal conductivity	W/cm•K	1.5	0.5	0.7	4.5	>1.5
Relative dielectric constant	ϵ_r	11.8	12.8	12.5	10.0	9.0

^a The compounds are loosely known as indium-based.

PRAKTYCZNE PRZYKŁADY URZĄDZEŃ Z TRANZYSTORAMI FET GaN

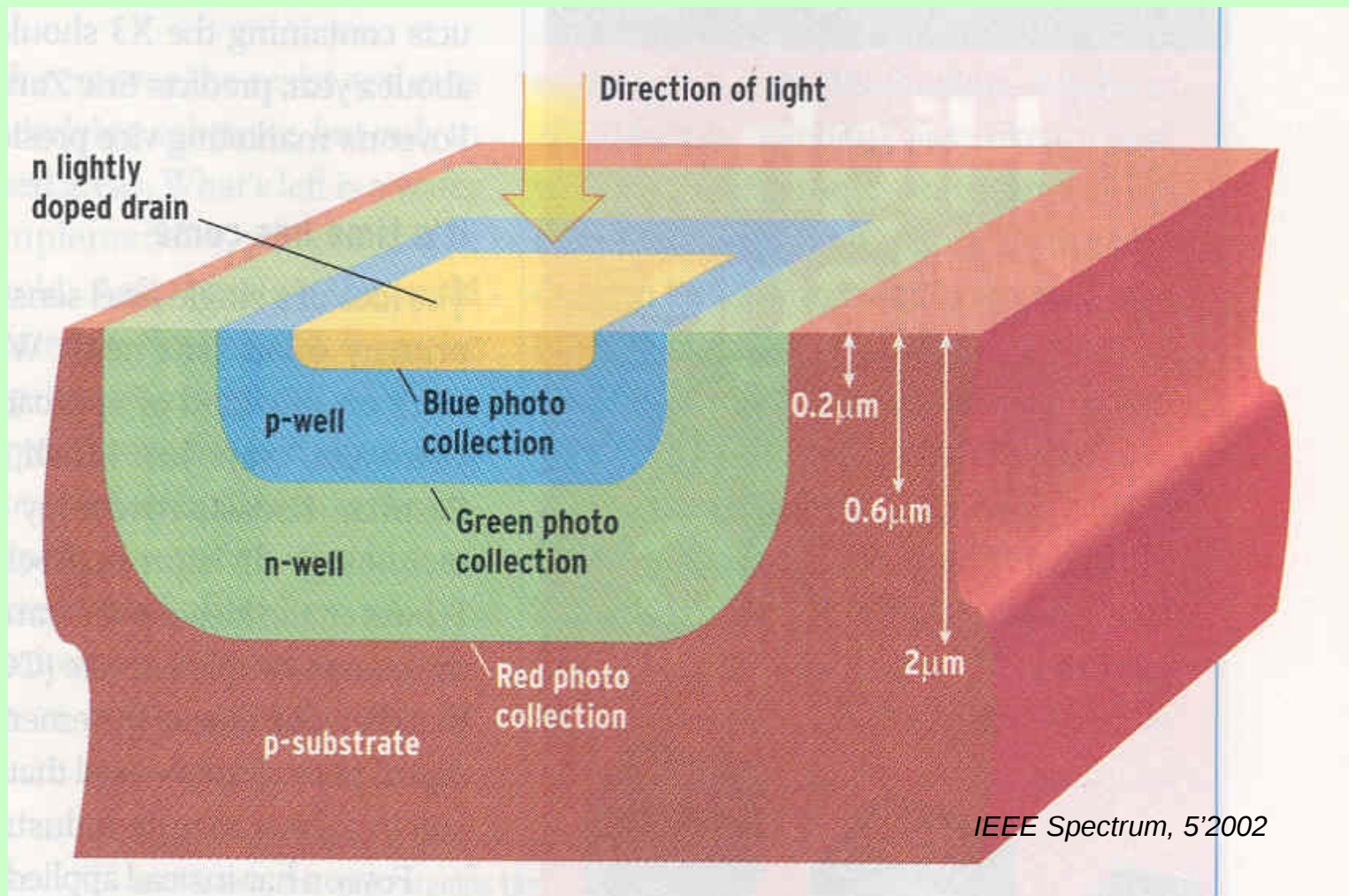
- Radary samochodowe dla uniknięcia kolizji – Daimler-Chrysler (Ulm, Niemcy)
- Sprzęt mobilny telekomunikacyjny militarny (radary, komunikacja satelitarna)
- Sterowanie instalacją elektryczną w pojazdach hybrydowych spalinowo-elektrycznych
- Wzmacniacze mocy w telefonach komórkowych – RF Nitro Communications



Trochę o pieniądzach

Płytki o średnicy 50 mm azotku galu kosztuje ok. 10 k\$

PÓŁPRZEWODNIKOWY CZUJNIK TRÓJKOLOROWY



Każdy piksel czujnika (jak na rysunku) rejestruje wszystkie trzy kolory
Fotodiody są ukryte pomiędzy poszczególnymi warstwami

Zaleta: Jeden piksel rejestruje trzy kolory jednocześnie